

6장

CMOS 회로의 설계

6.1 스위치 논리

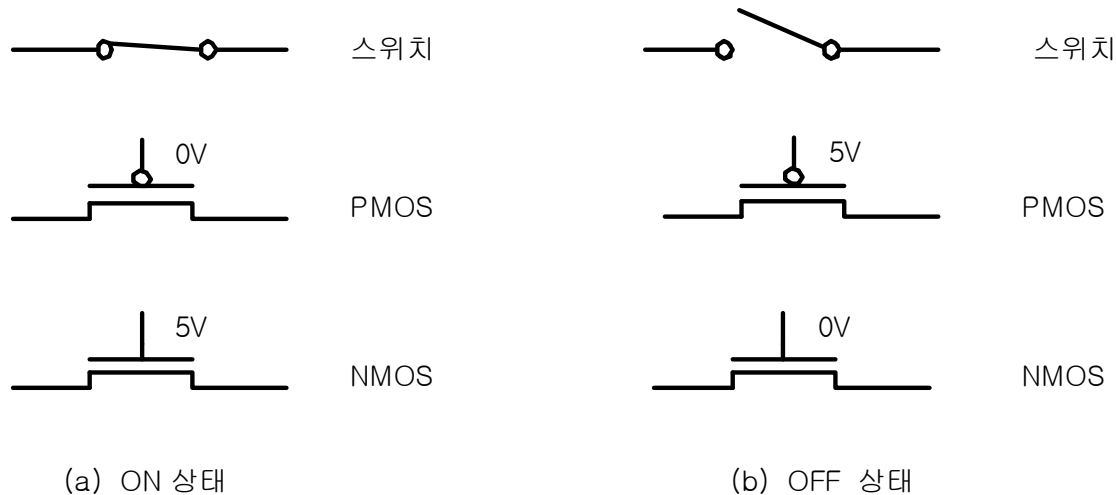


그림 6-1. NMOS/PMOS 패스 트랜지스터

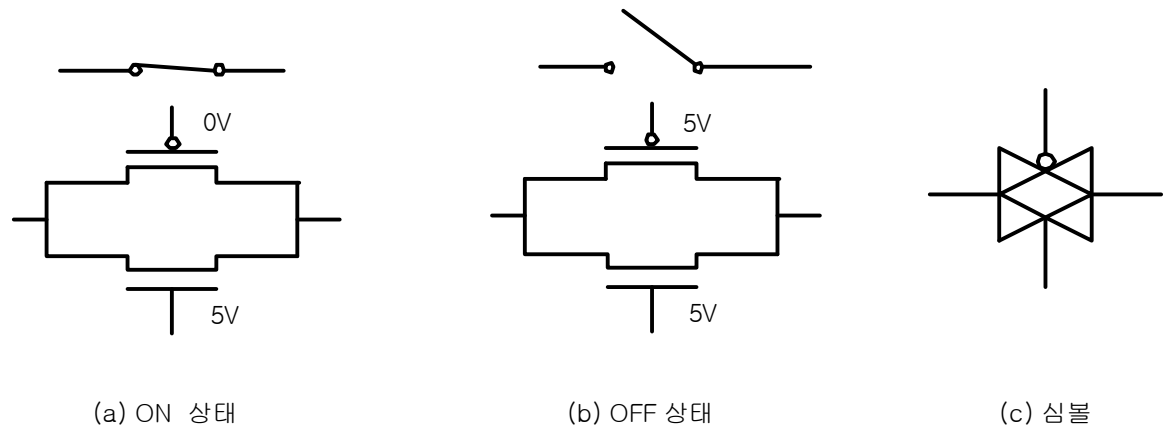
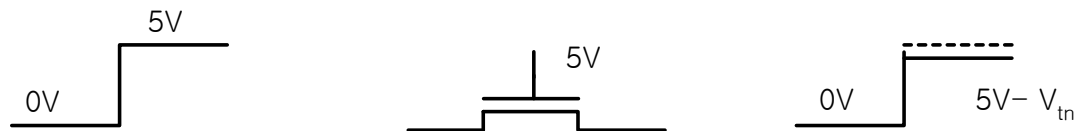
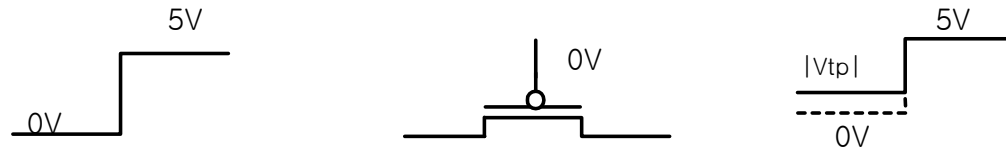


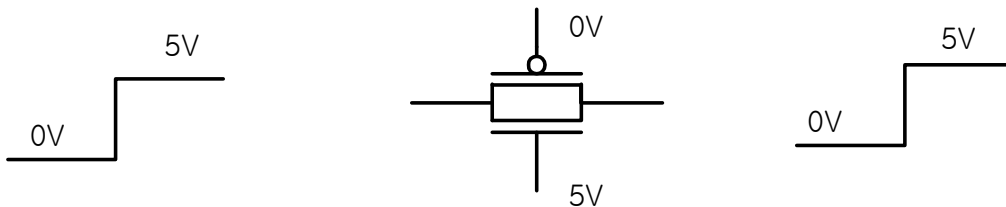
그림 6-2. CMOS 전달 게이트



(a)



(b)



(c)

그림 6-3. 문턱전압 손실

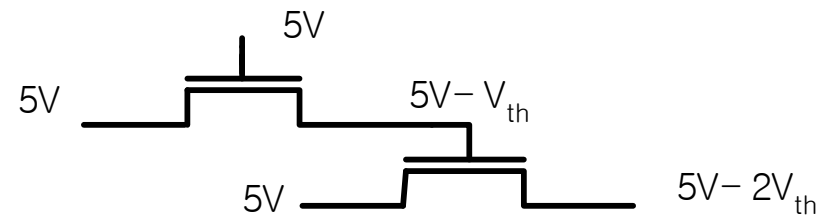


그림 6-4. 패스 트랜지스터 게이트 구동의 나쁜 예

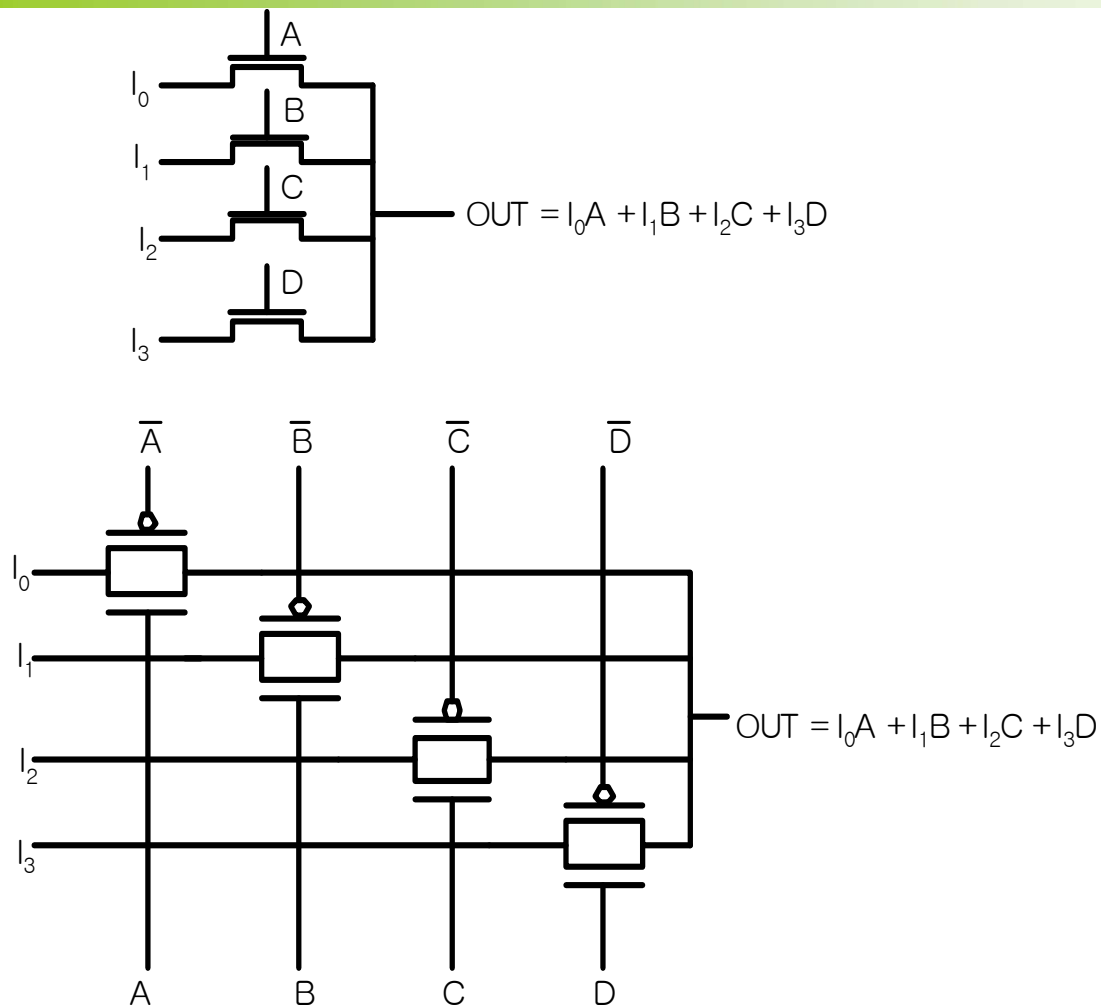


그림 6-5. 4-1 멀티플렉서

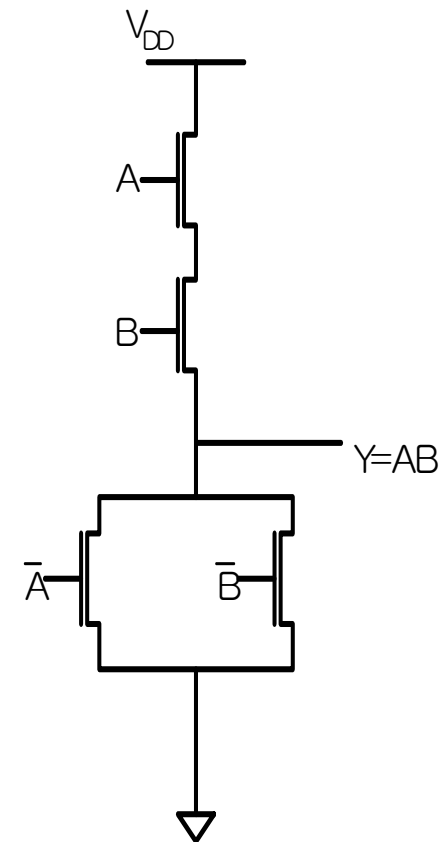
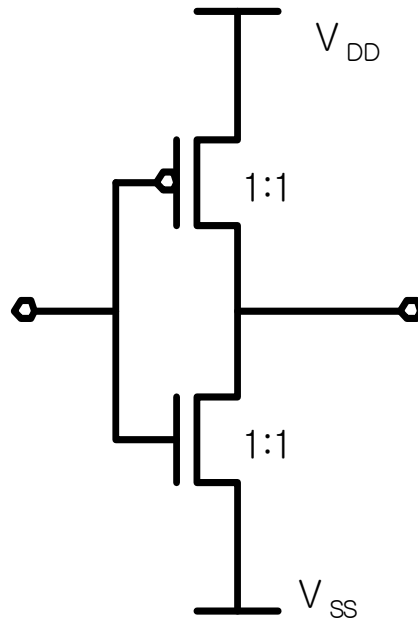


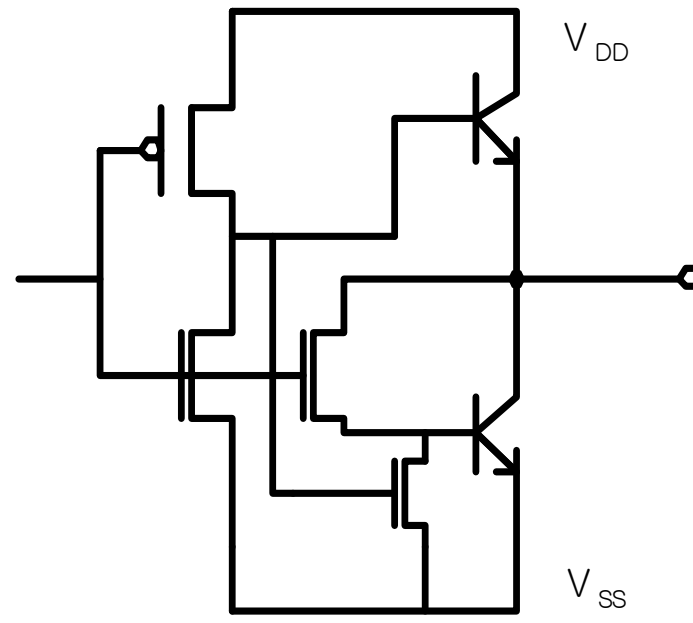
그림 6-6. 2-입력 AND 게이트

6.2 CMOS 게이트 논리

6.2.1 CMOS 인버터



(a) CMOS



(b) BiCMOS

그림 6-7. 인버터 회로도

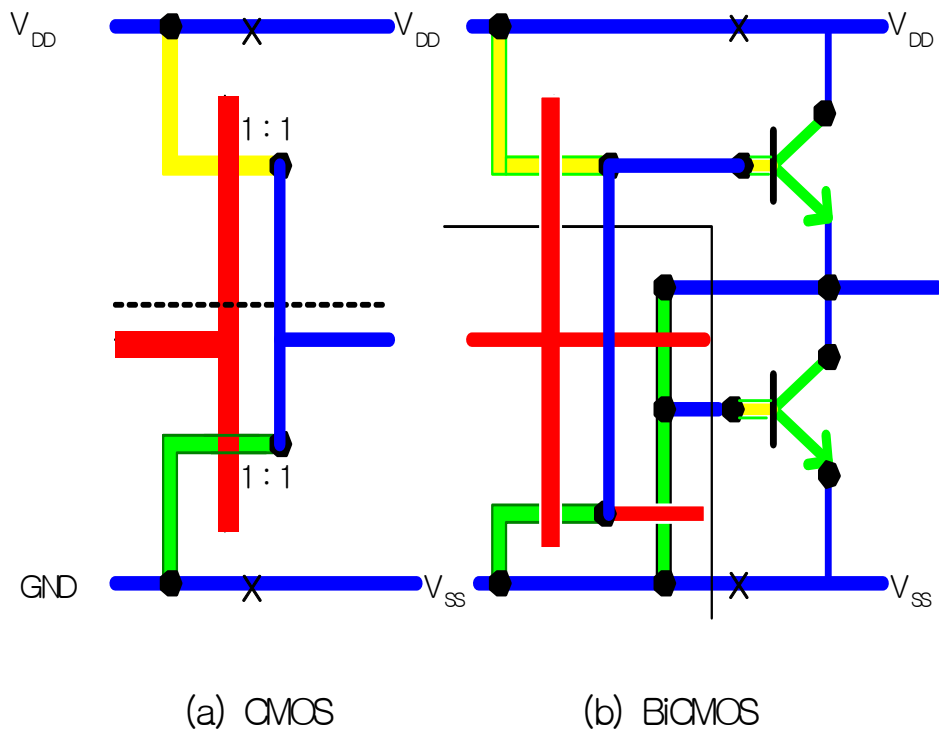


그림 6-8. 인버터의 스틱 다이어그램

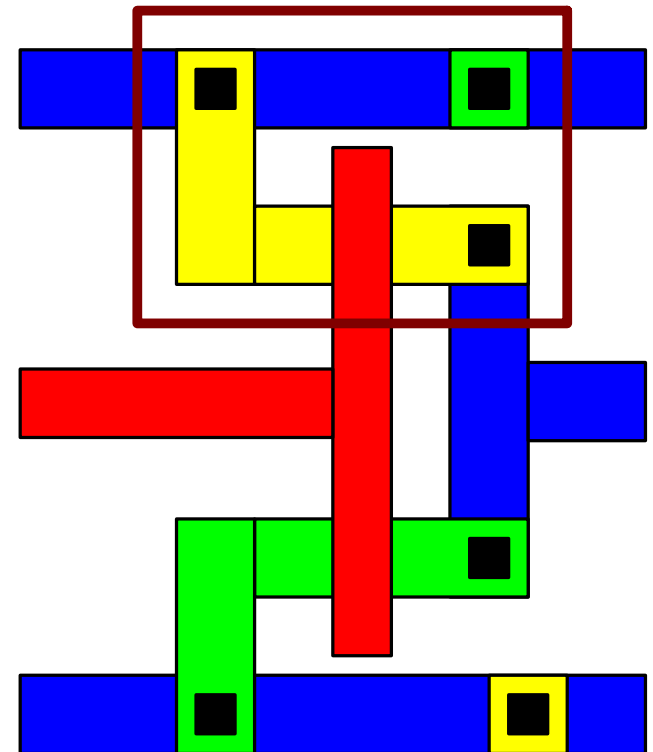
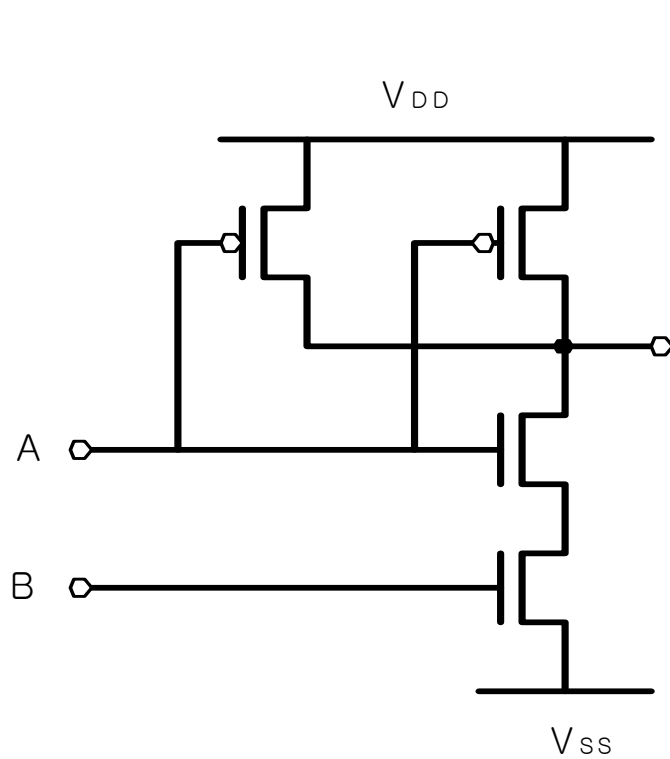
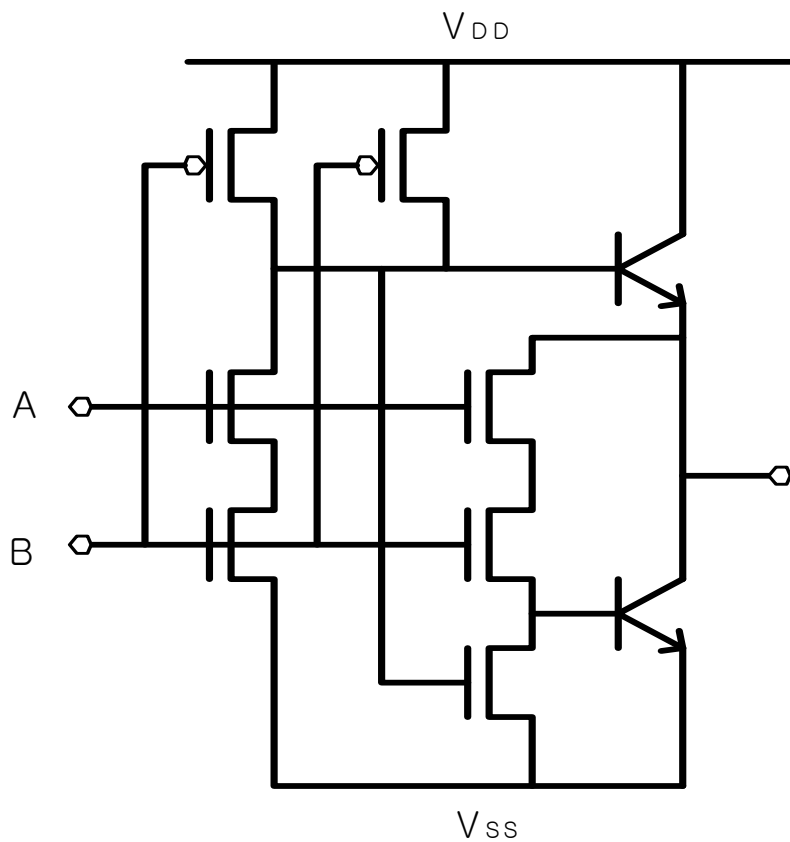


그림 6-9. CMOS 인버터의 레이아웃

6.2.2 CMOS NAND 게이트

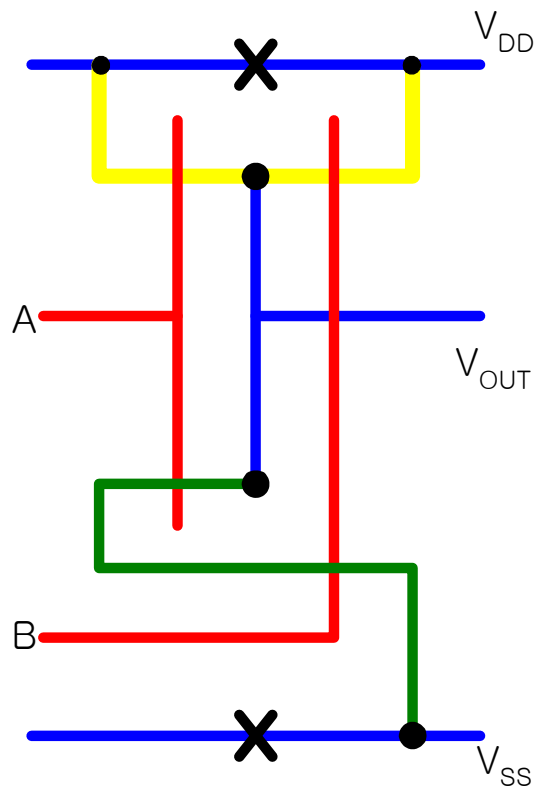


(a) CMOS

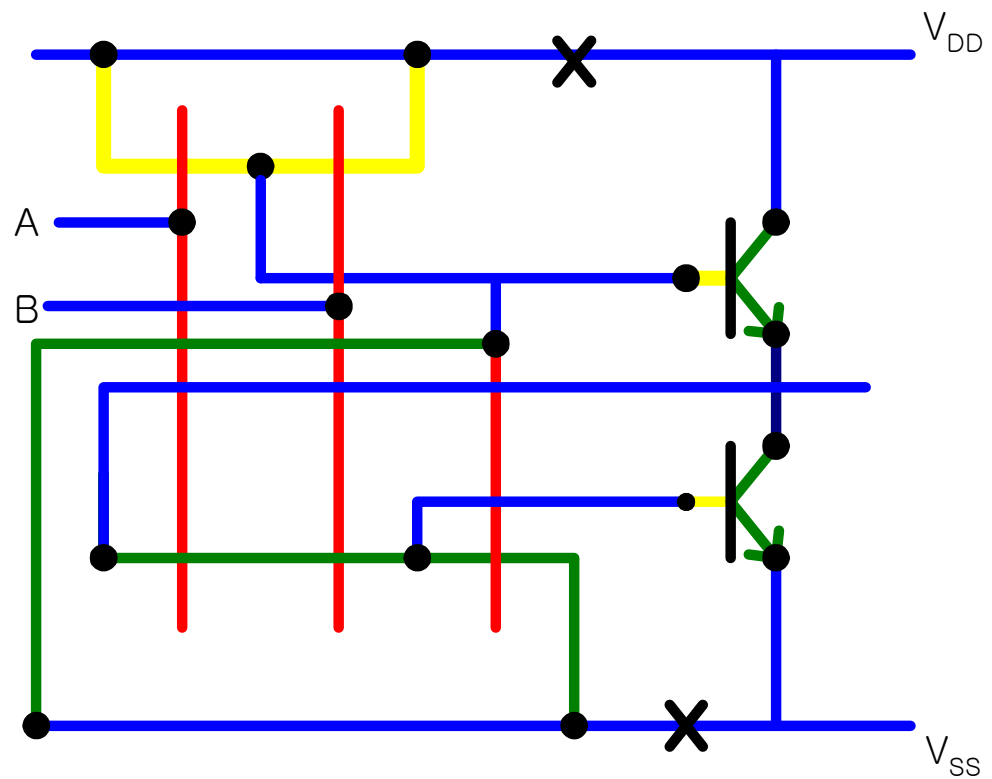


(b) BiCMOS

그림 6-10. 2-입력 NAND 게이트의 회로도



(a) CMOS



(b) BiCMOS

그림 6-11. 2-입력 NAND 게이트의 스틱 다이어그램

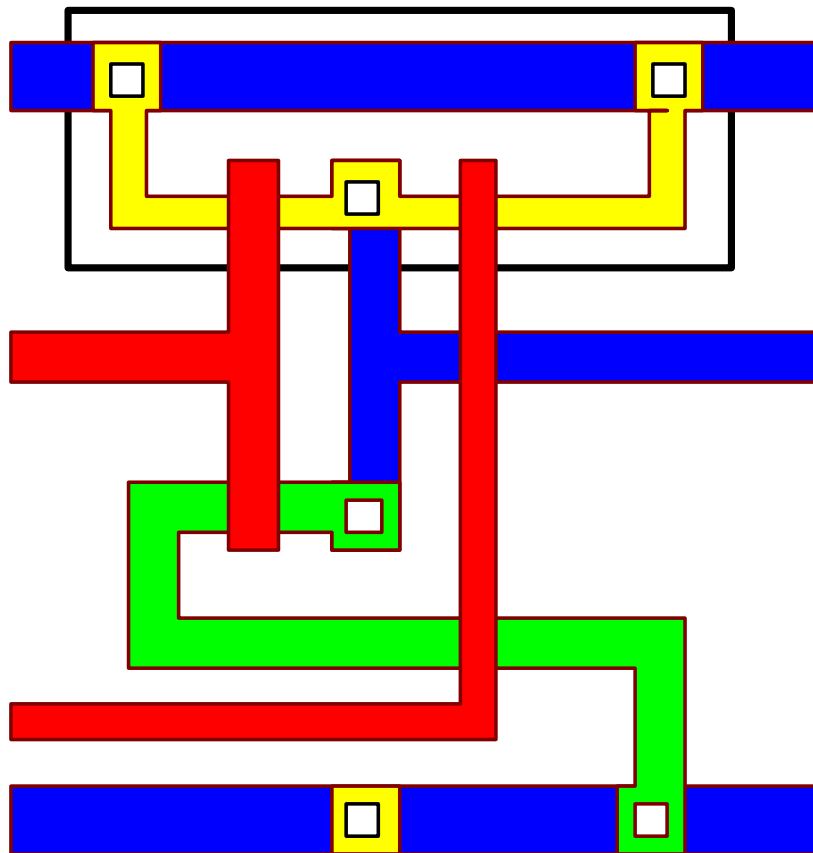
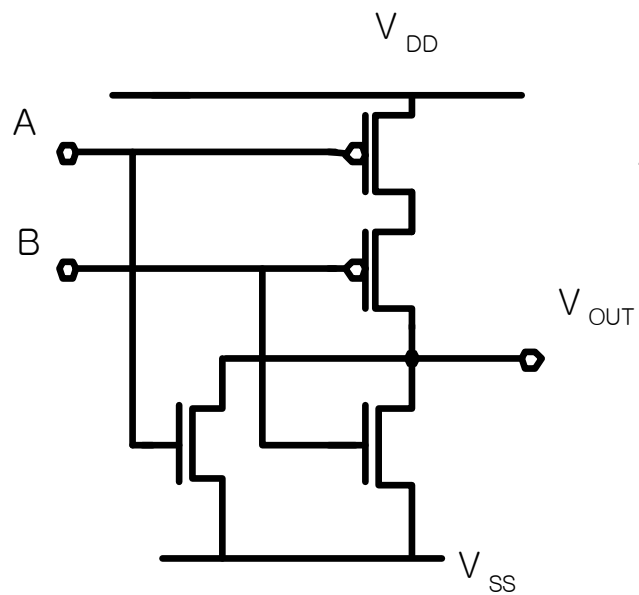
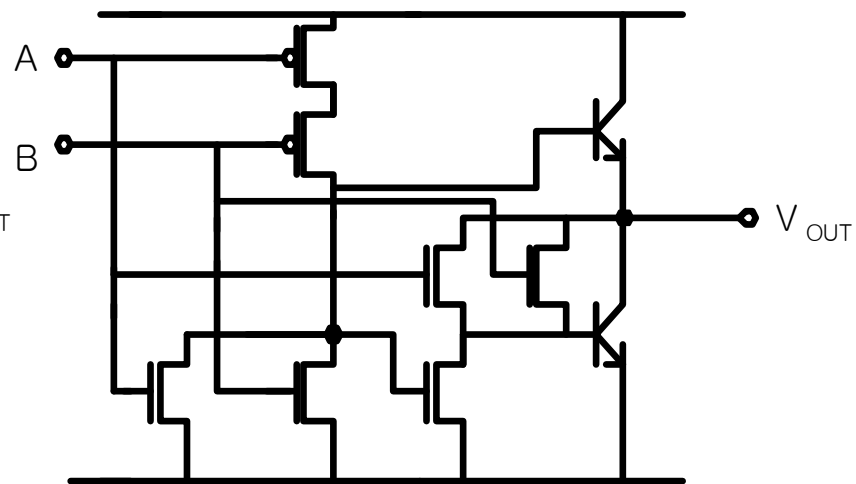


그림 6-12. 2-입력 CMOS NAND 게이트의 레이아웃

6.2.3 CMOS NOR 게이트

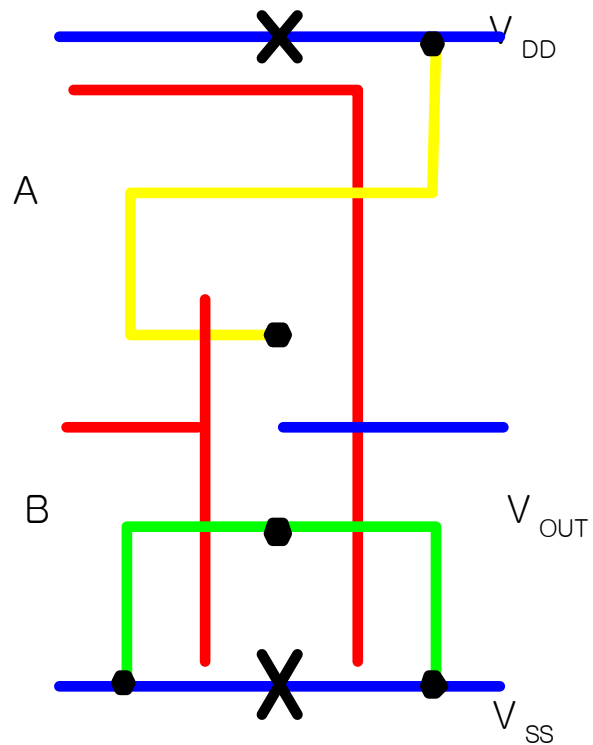


(a) CMOS

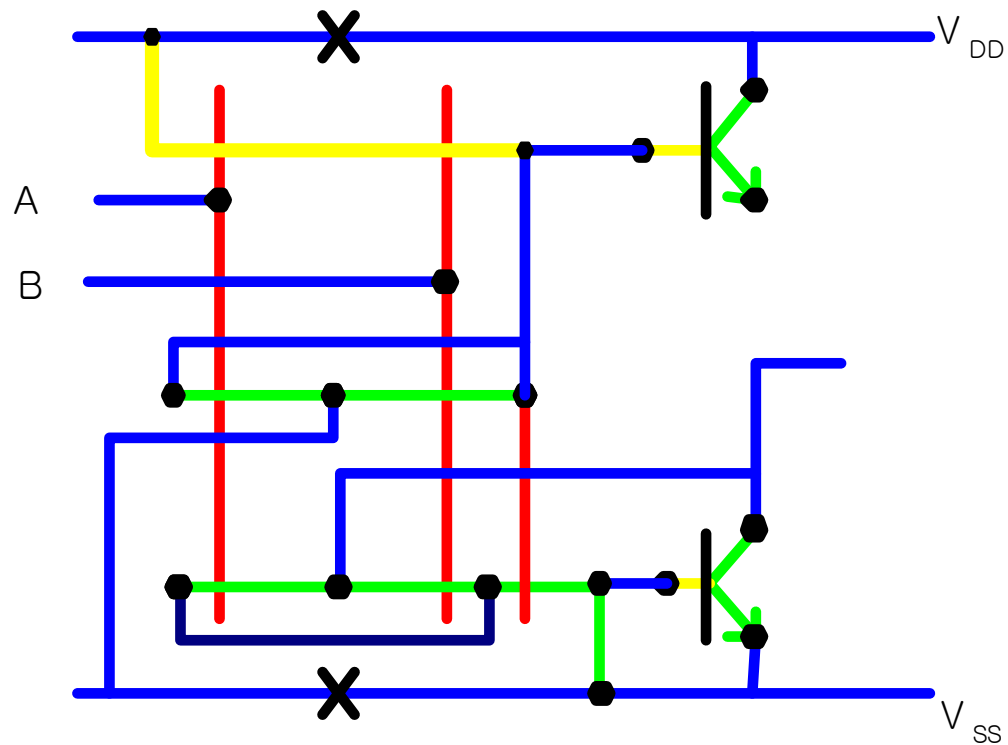


(b) BiCMOS

그림 6-13. 2-입력 NOR 게이트의 회로도



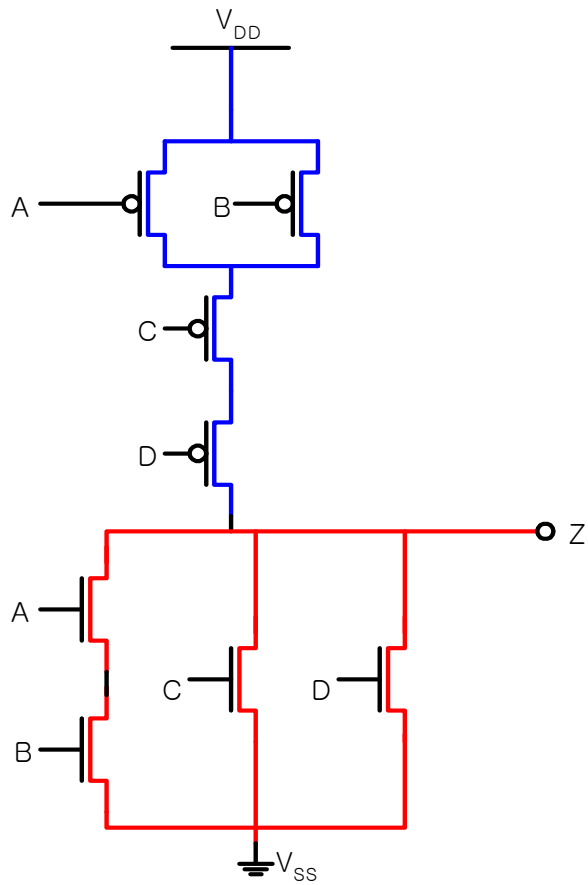
(a) CMOS



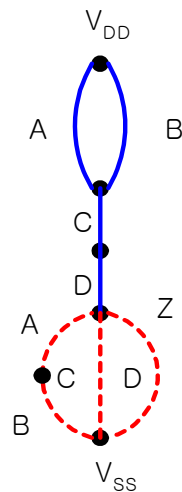
(b) BiCMOS

그림 6-14. 2-입력 NOR 게이트의 스틱 다이어그램

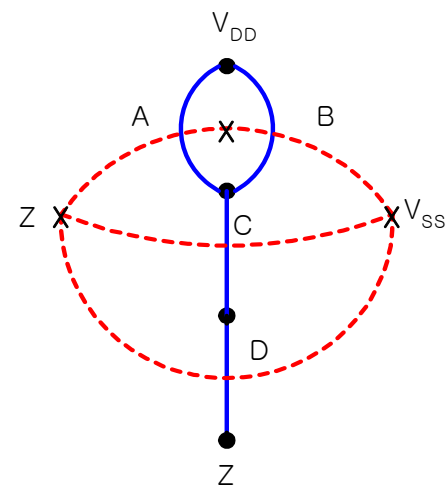
6.2.4 복합 CMOS 게이트



(a) $Z = (AB + C + D)'$



(b) 그래프 표현



(c) P-그래프와 N-그래프의 대응

그림 6-15. 복합 CMOS 게이트

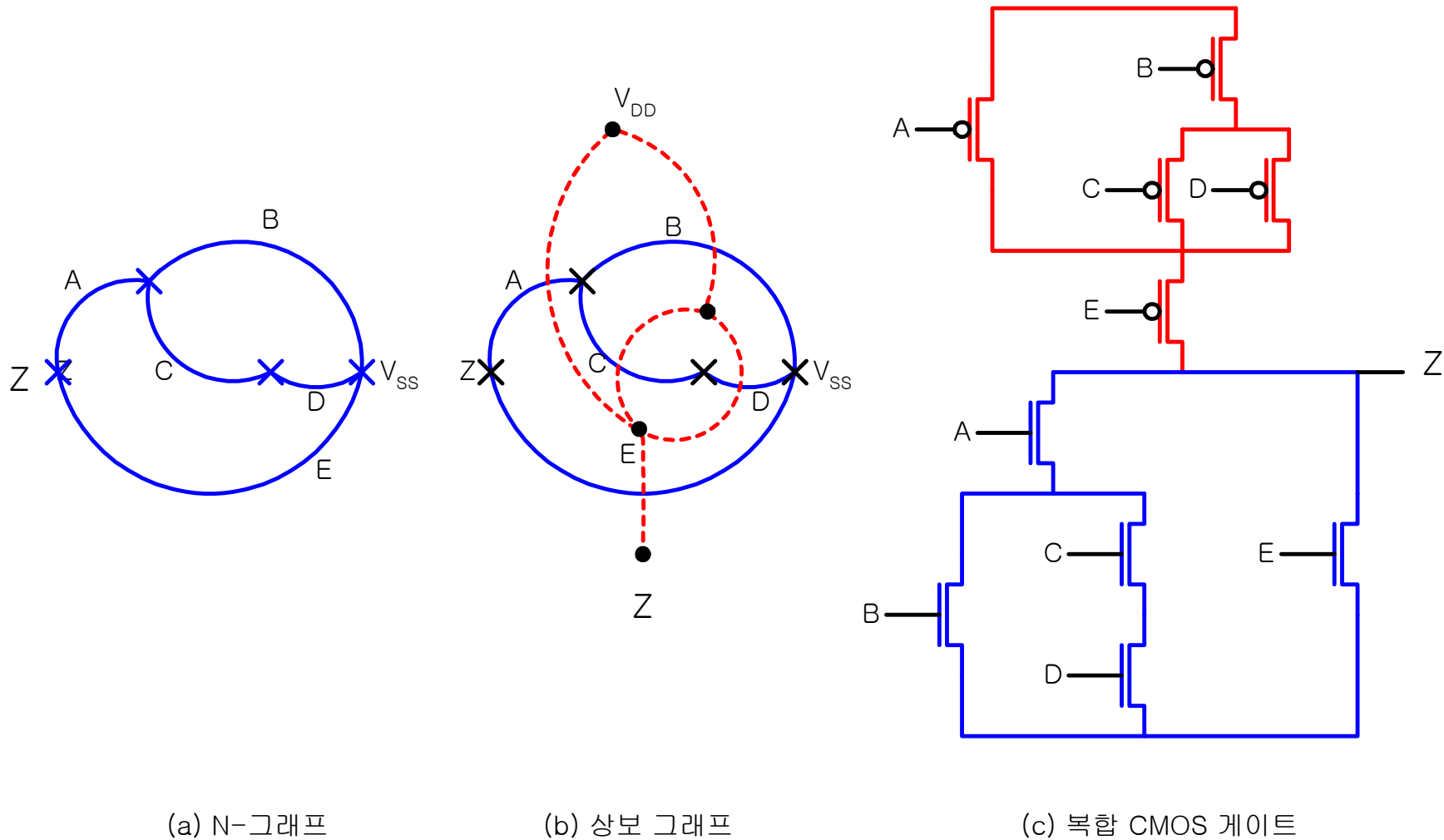
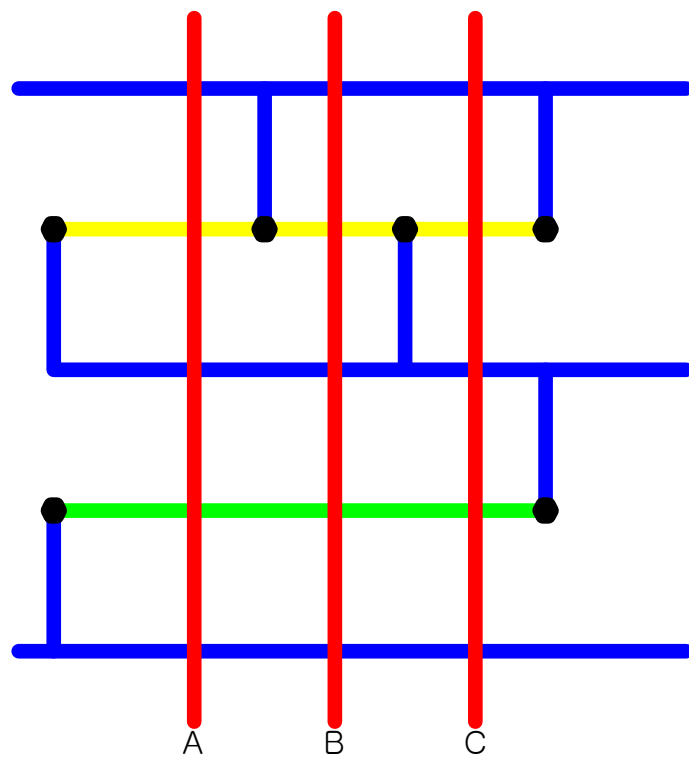
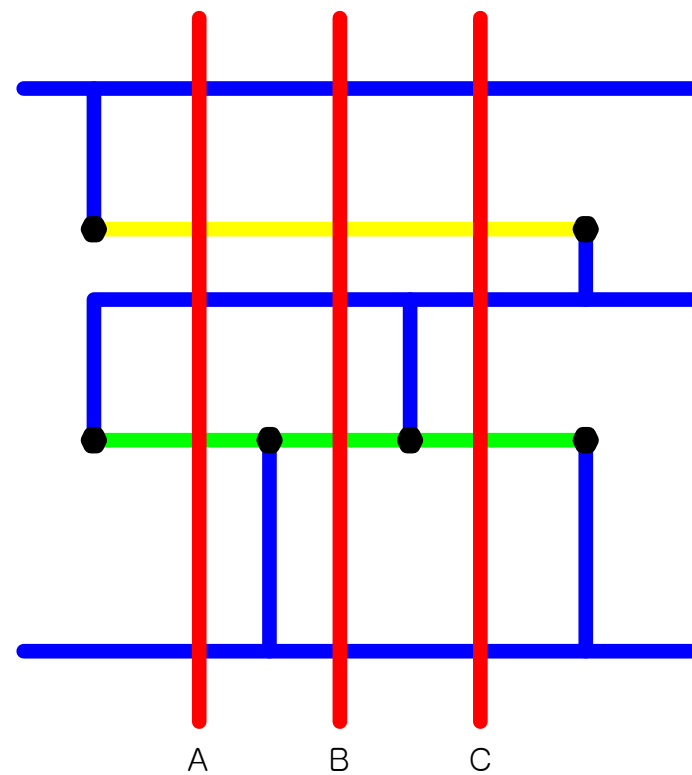


그림 6-16. 그래프를 이용한 복합 CMOS 게이트의 구현



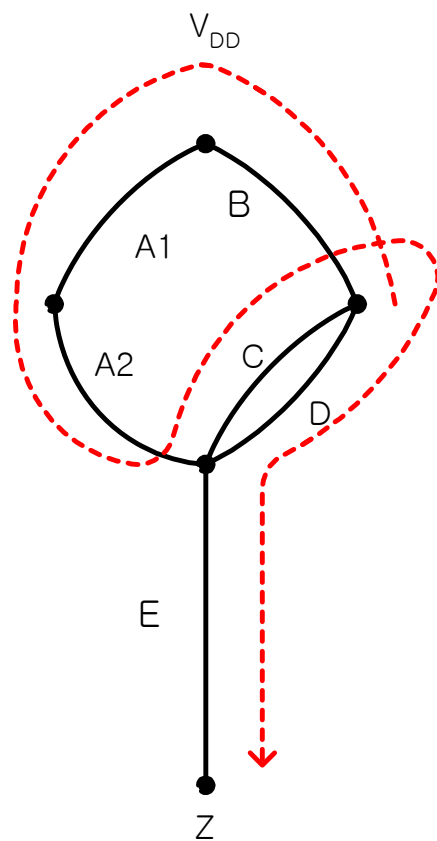
(a) 3-입력 CMOS NAND



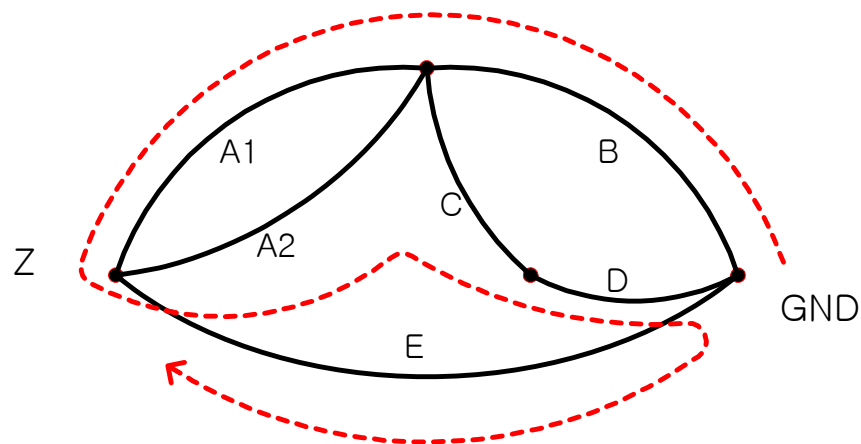
(b) 3-입력 CMOS NOR

그림 6-17. 단순 CMOS 게이트의 스틱 다이어그램

$$Z = [A(B+CD)+E]'$$



(a) P-오일러 경로



동일 입력 순서 : B A1 A2 C D E

(b) N-오일러 경로

그림 6-18. 동일 입력 순서의 N, P-오일러의 경로

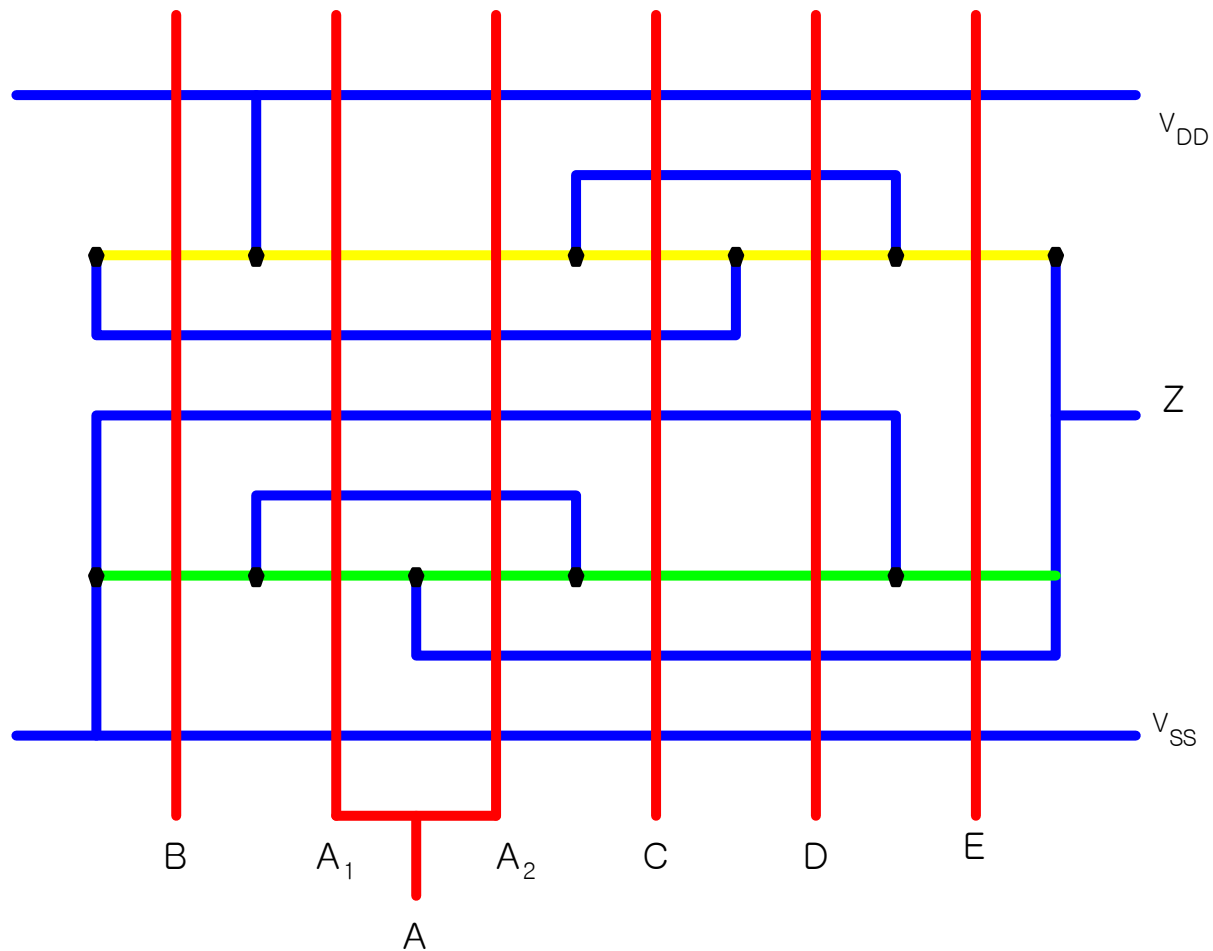
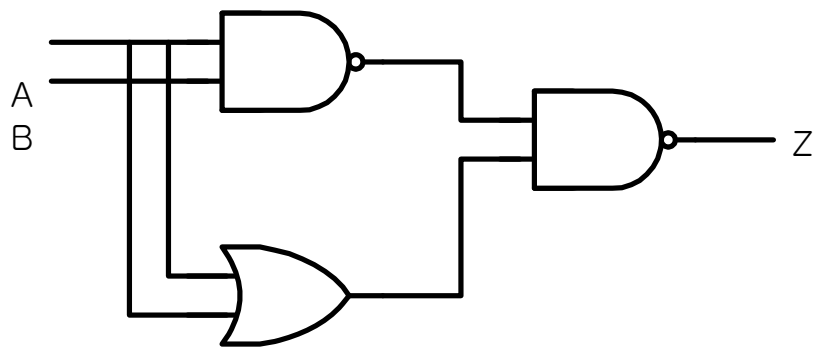


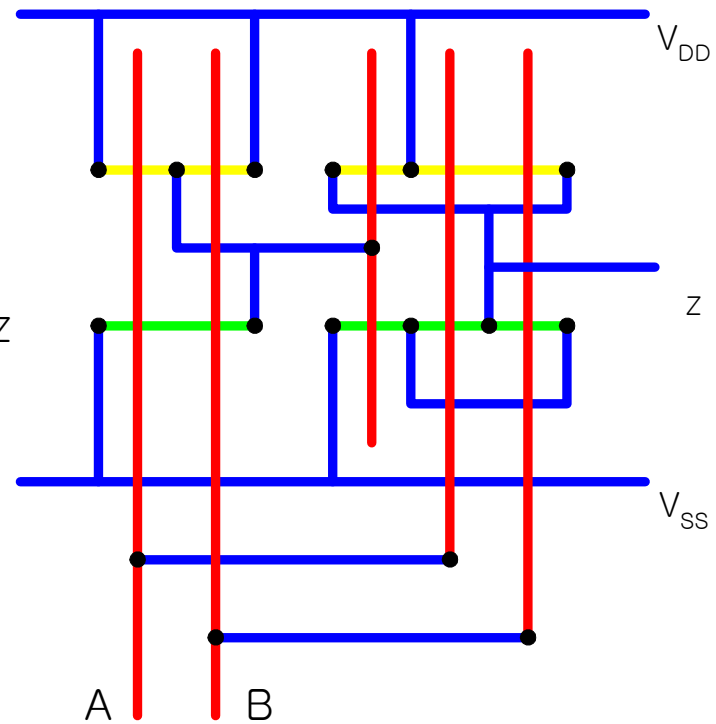
그림 6-19. 그림 6-16 회로에 대한 스틱 다이어그램

동일 입력 순서의 오일러 경로 찾기

- N-그래프와 P-그래프의 동일 순서 오일러 경로를 찾는다.
- 동일 순서 오일러 경로가 존재하지 않으면 최소의 에지를 추가하여 동일 순서 오일러 경로를 찾는다.
- 입력순서대로 수직의 폴리선을 배열한다.
- 상하단에 VDD선과 VSS선을 배치한다.
- VDD 쪽에 수평의 P-확산선을 VSS쪽에 수평의 N-확산선을 배치한다.
- 메탈선으로 연결을 완성한다.
- 추가된 에지에 대한 입력을 연결한다.



(a) NAND - OAI 구현



(b) 스틱 다이어그램

그림 6-20. CMOS XNOR 게이트의 구현

6.2.5 CMOS 레이아웃 지침

- 게이트 설계/검증 – TR 크기 결정
- VDD, VSS 선 –수평 메탈선
- 게이트 입력 – 수직 폴리선
- 소스/드레인 합병 – 폴리선 재배치
- N-확산 : V_{SS} , P-확산 : V_{DD} 가깝게 배치
- 연결선 : 메탈선, 폴리선
- 트랜지스터 간격 축소 : 확산 면적 축소
- 웰/기판 콘택 완성

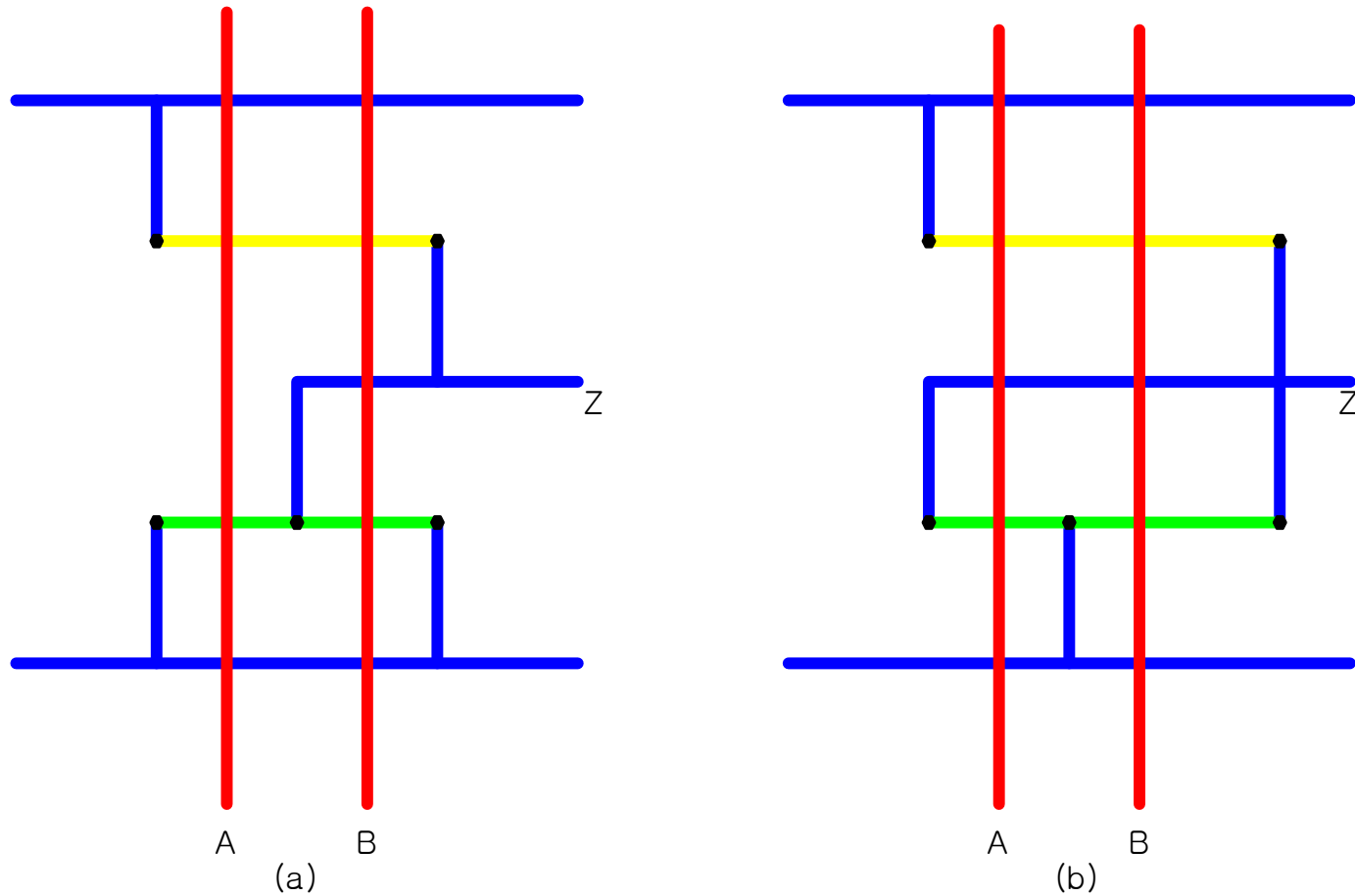


그림 6-21. 2-입력 NOR 게이트의 CMOS 레이아웃

- 출력 노드의 커패시턴스를 줄이도록 배선

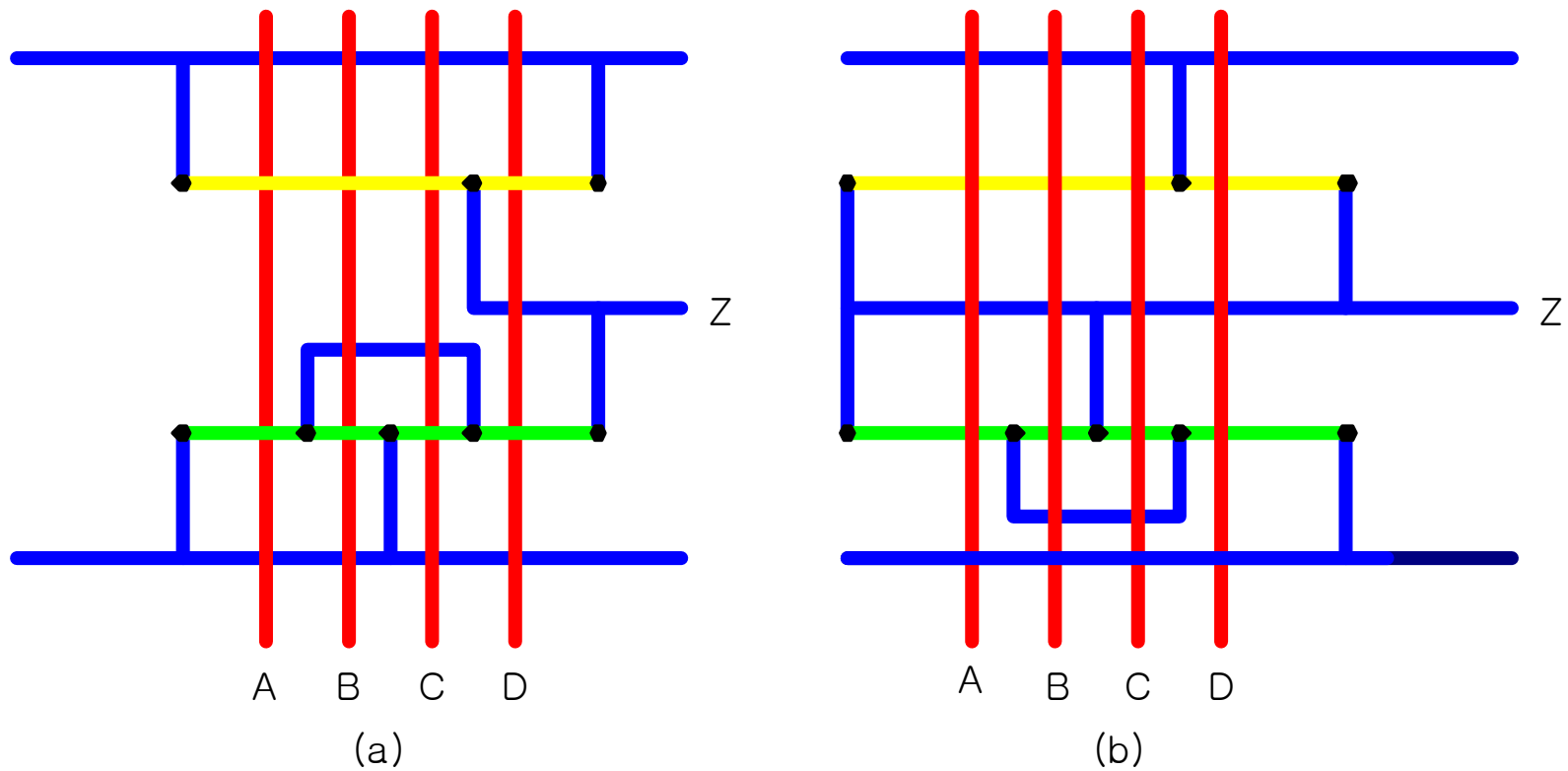
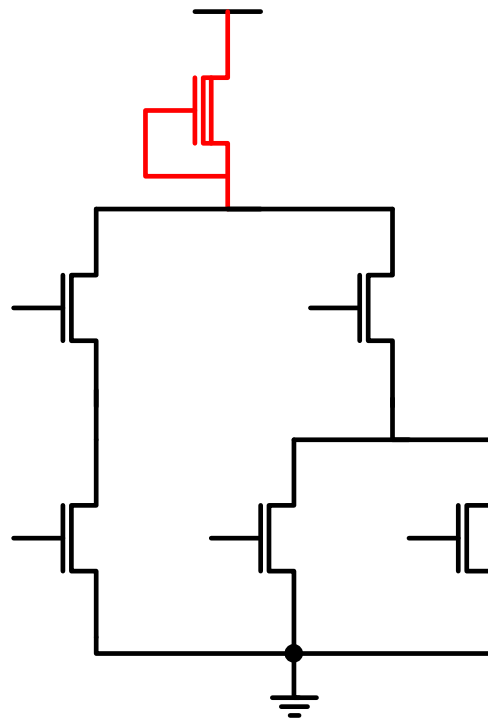


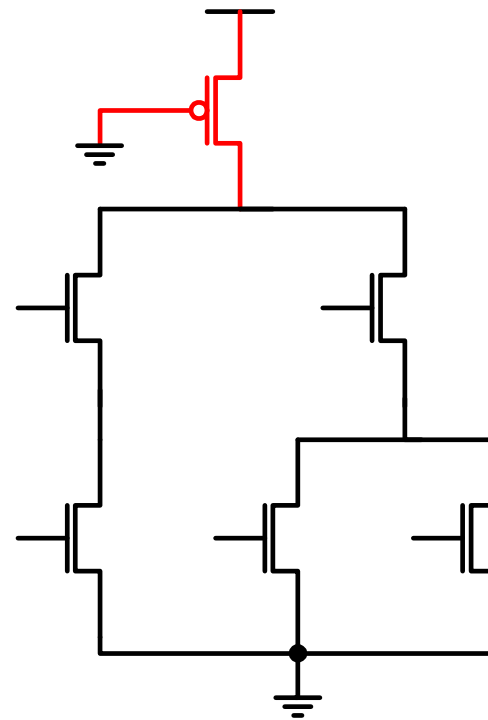
그림 6-22. $[(A+B+C)D]'$ 게이트의 CMOS 레이아웃

6.3 다른 형태의 CMOS 논리

6.3.1 의사 NMOS 회로



(a) NMOS 논리



(b) 의사 NMOS 논리

그림 6-23. 의사 NMOS 논리

6.3.2 동적 CMOS 회로

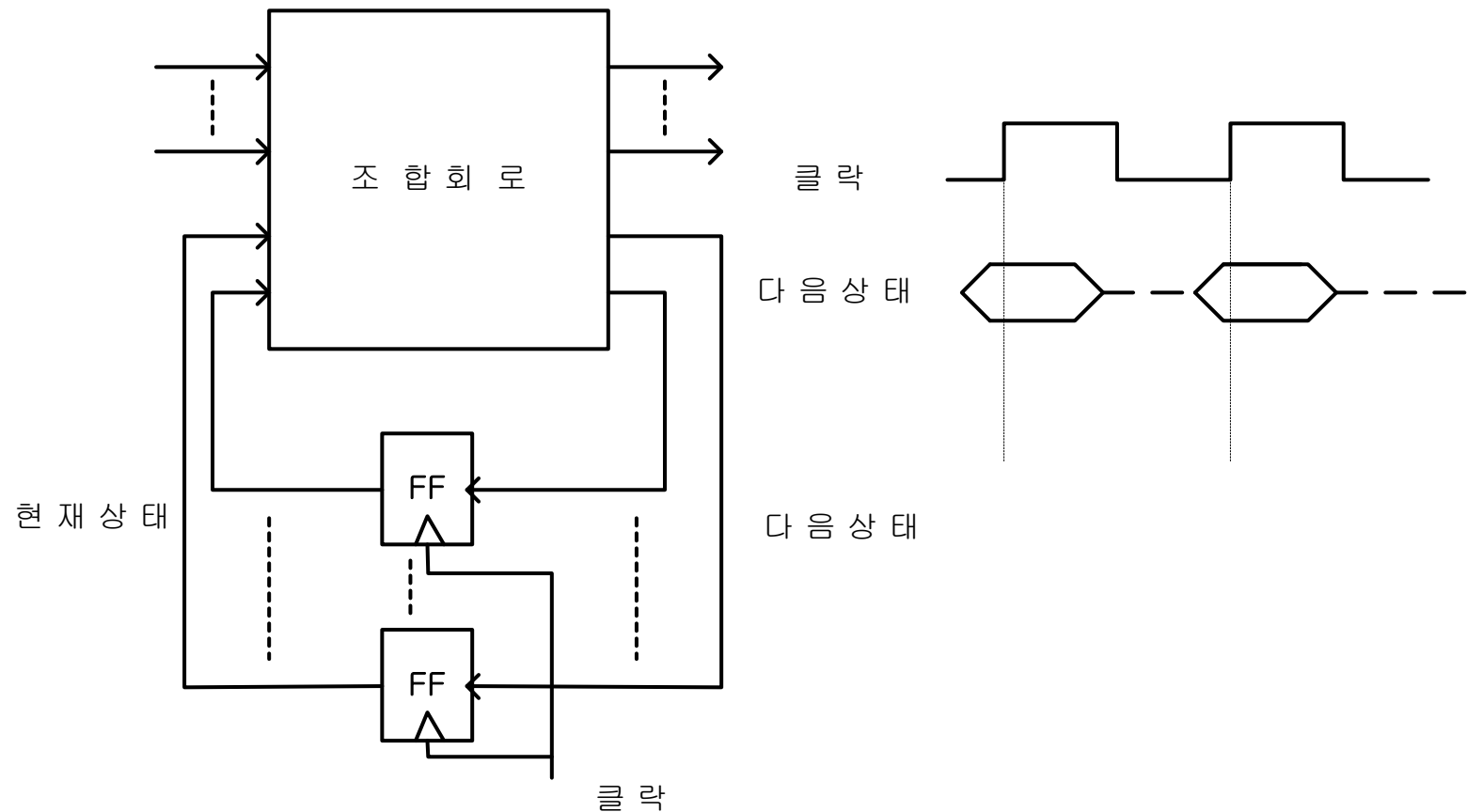


그림 6-24. 동기식 순차 회로의 구성

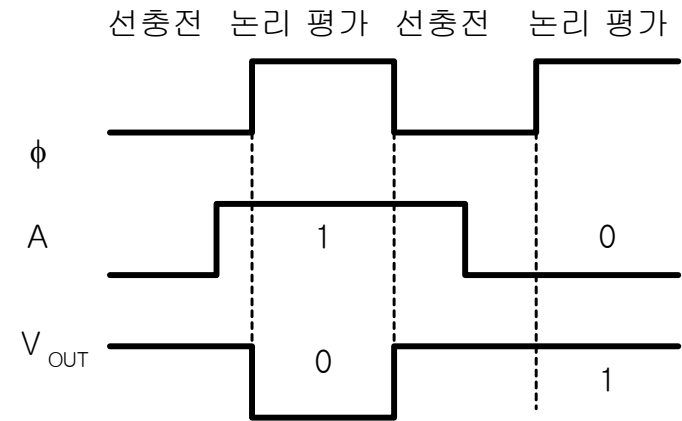
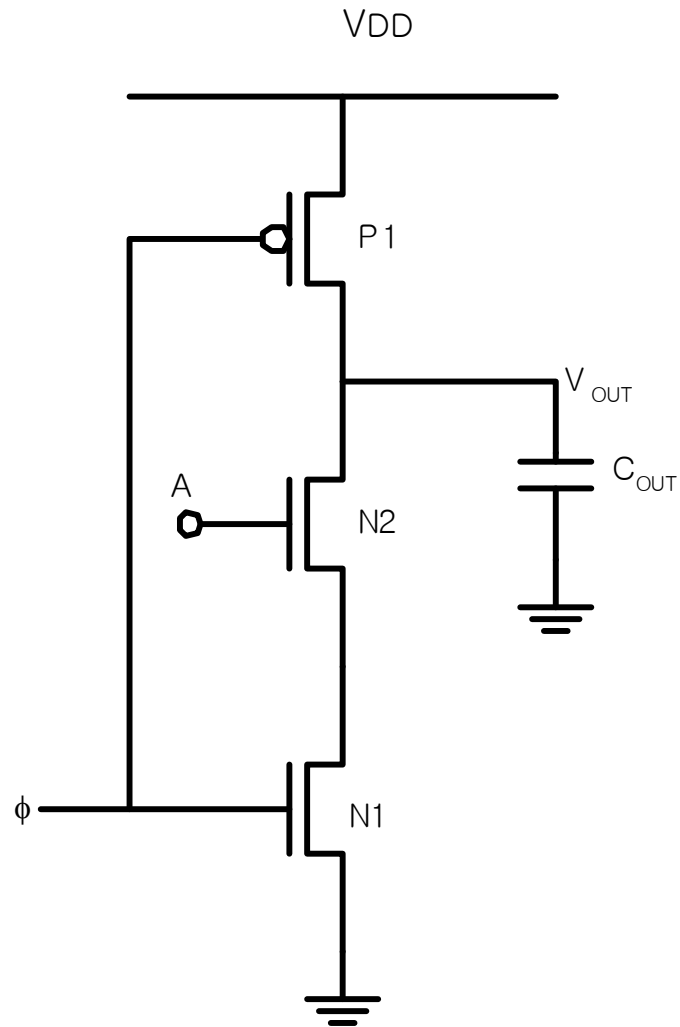
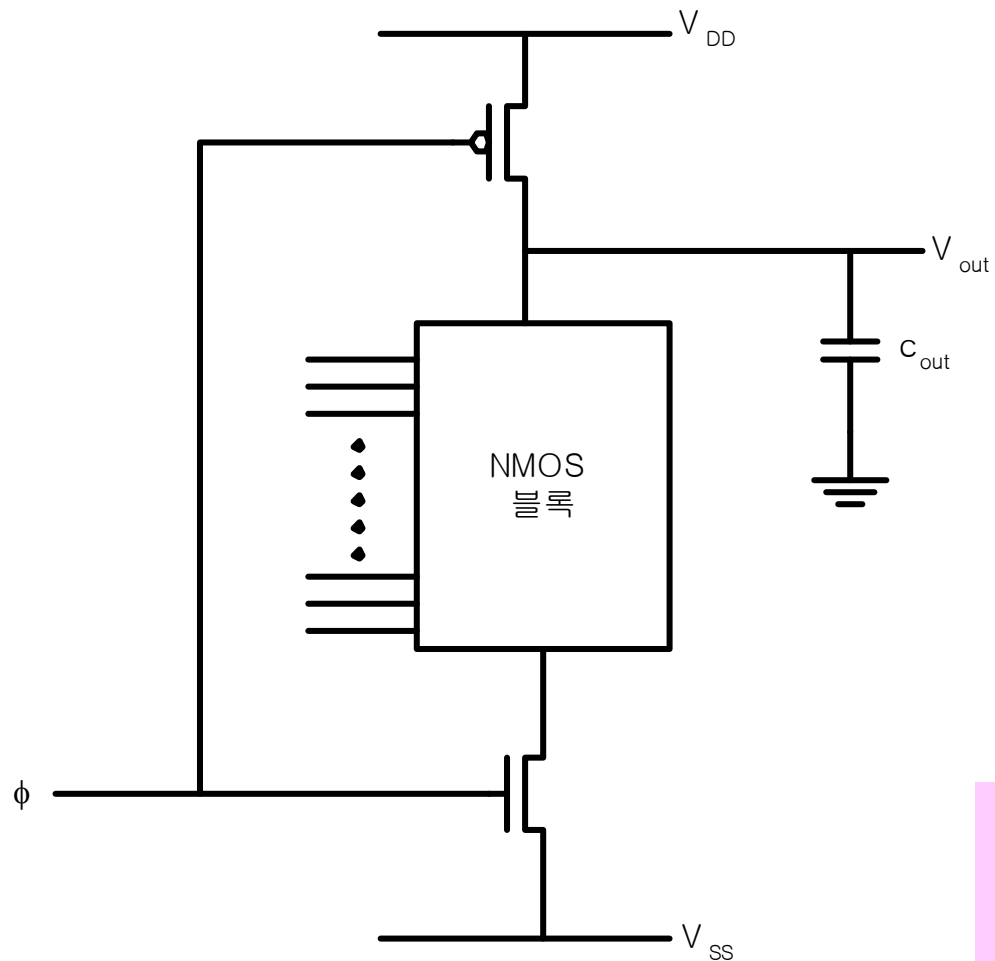


그림 6-25. 동적 CMOS 인버터



면적 축소

상승천이 : 선충전

하강천이 : NMOS 블록

그림 6-26. 복잡한 함수의 동적 CMOS 구현

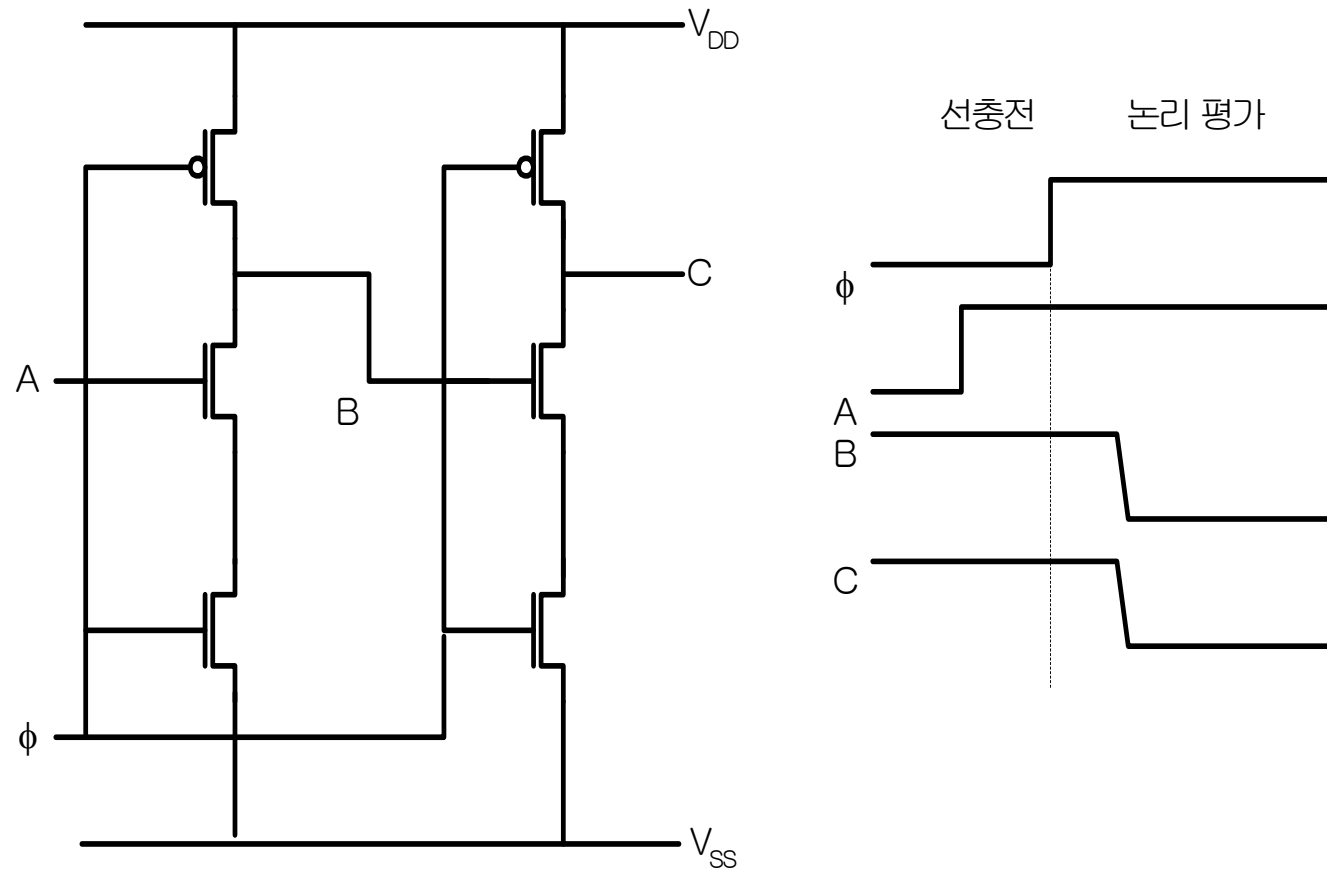


그림 6-27. 동적 CMOS 직결 문제

6.3.3 도미노 CMOS 회로

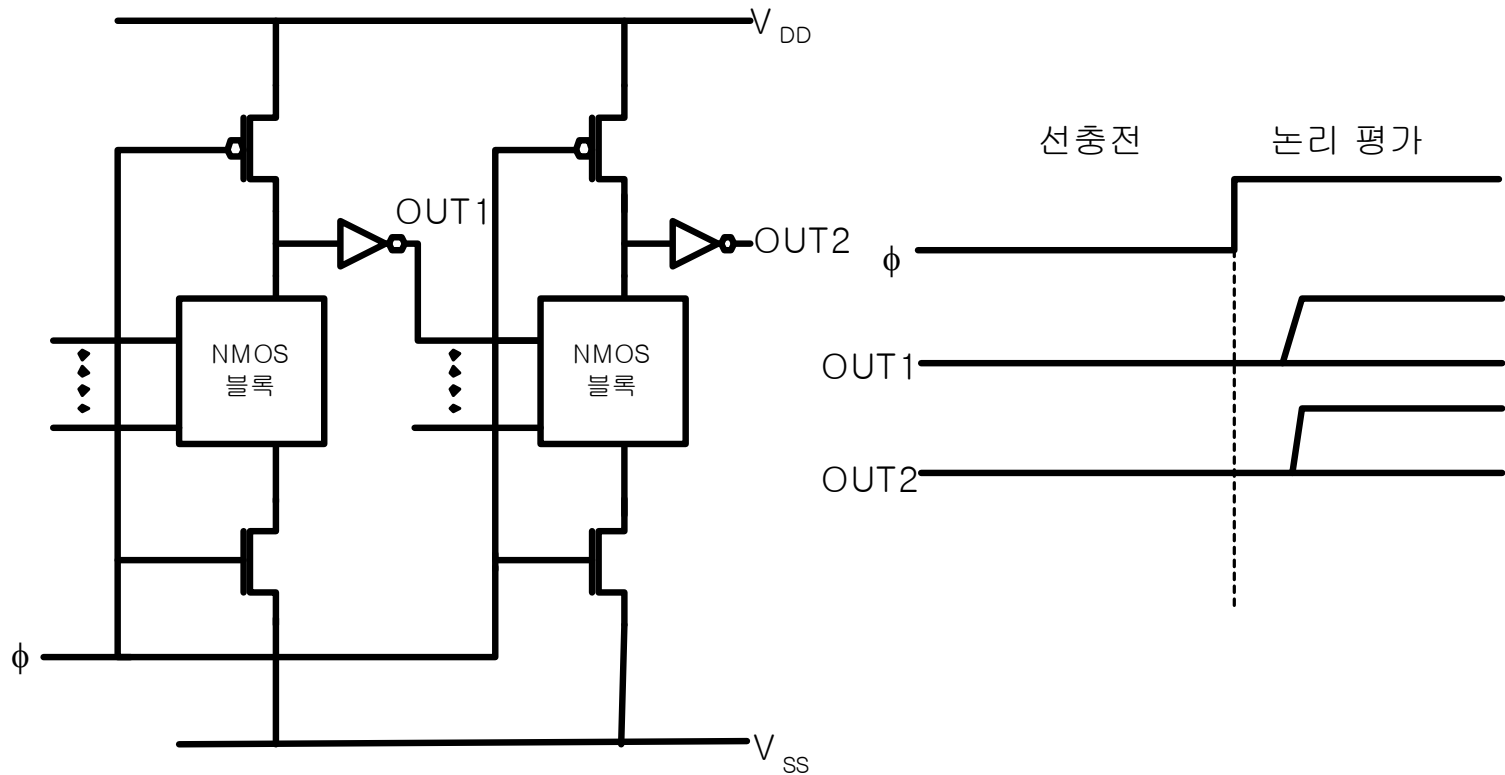
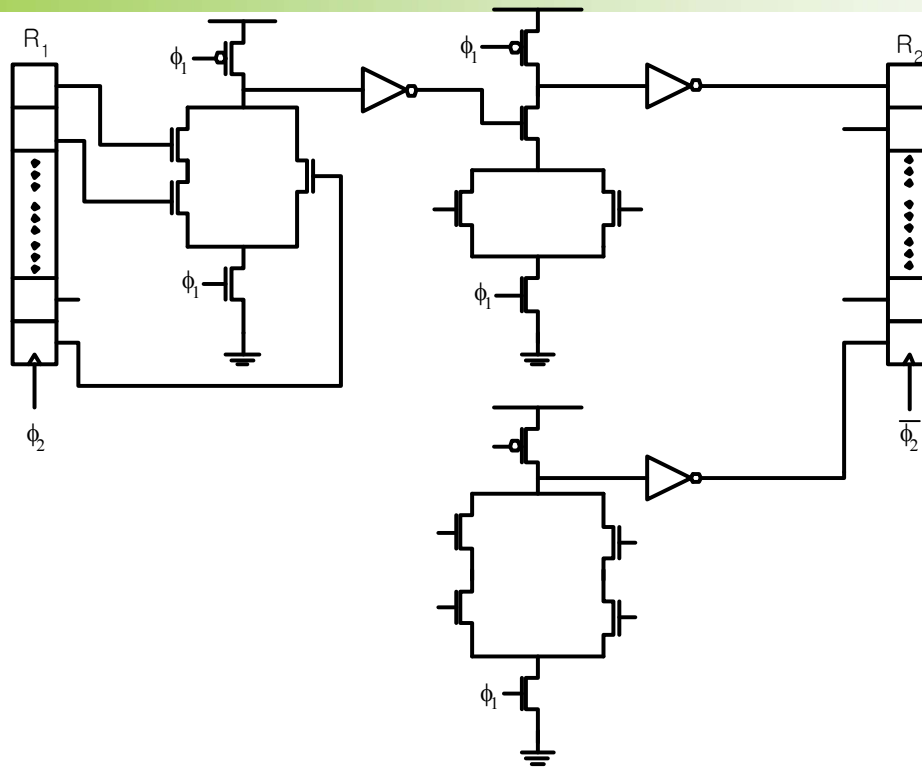
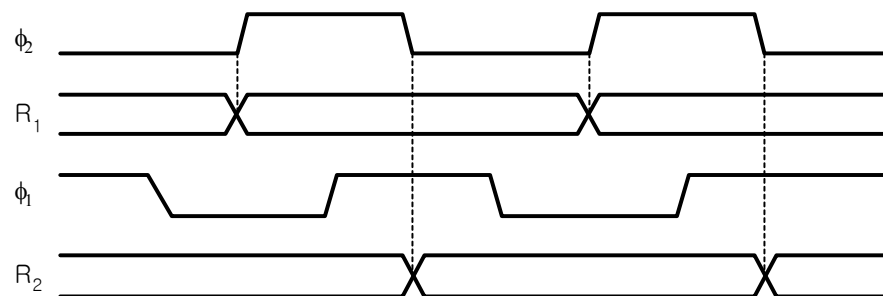


그림 6-28. 도미노 CMOS



(a) 회로도



(b) 타이밍도

그림 6-29. 도미노 CMOS 회로의 사용 예

6.3.4 np-도미노 회로

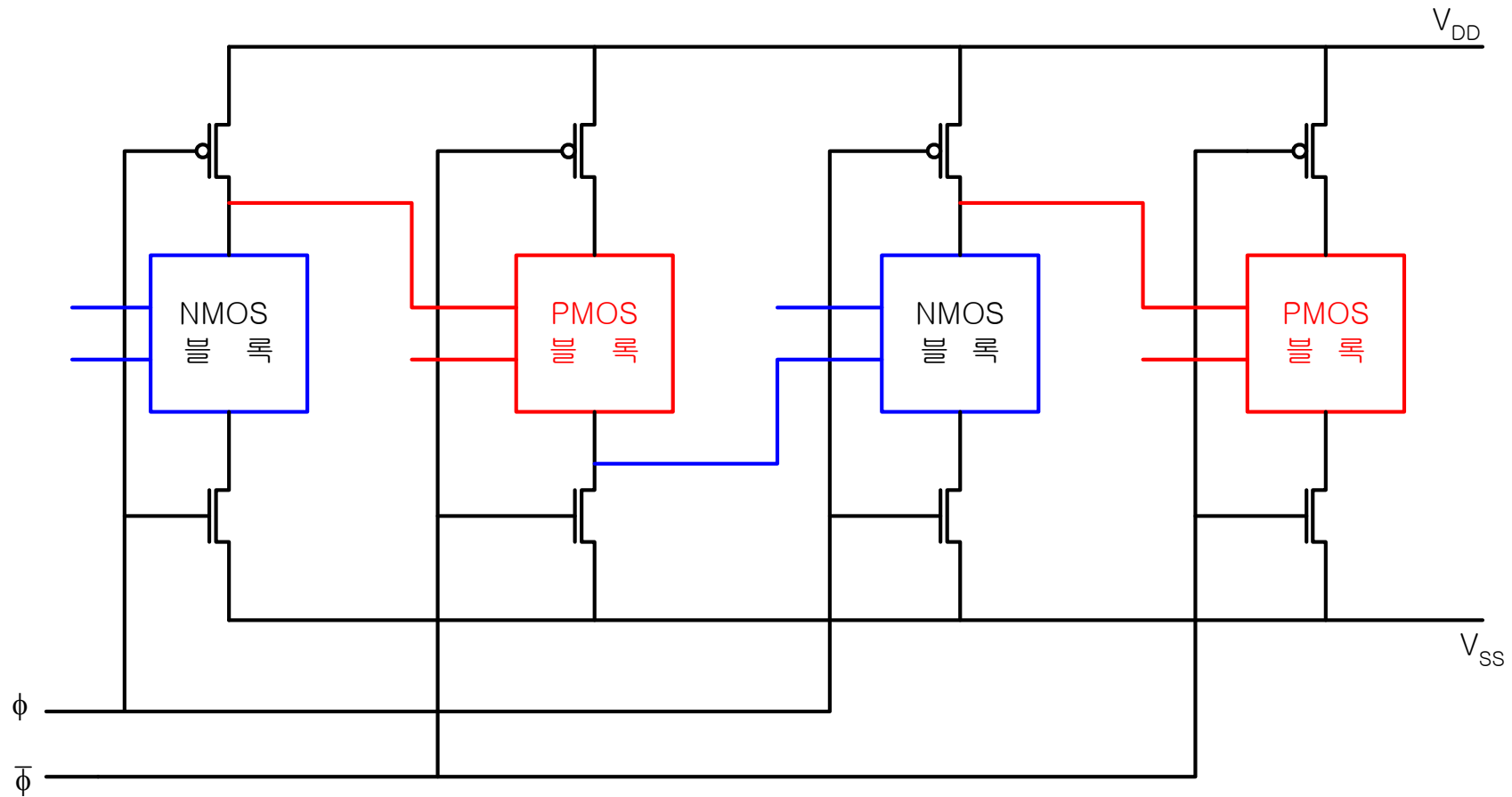
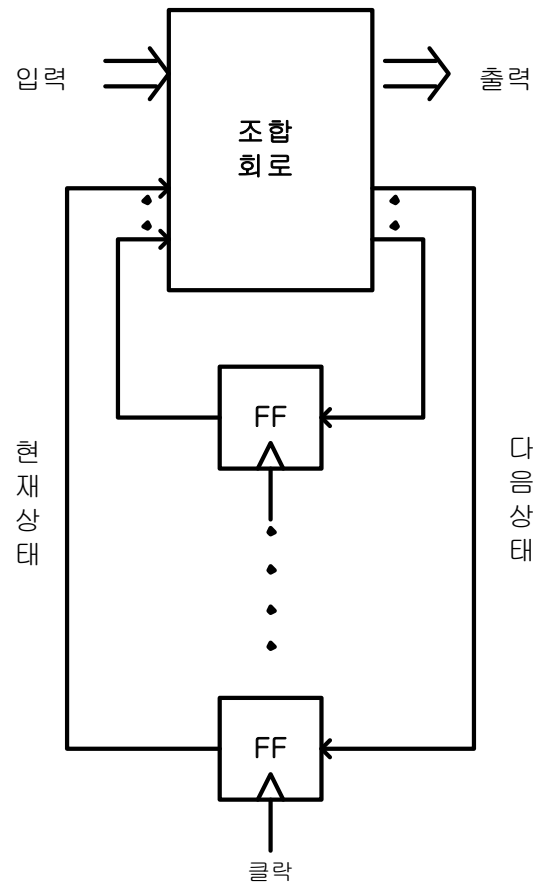


그림 6-30. np-도미노 회로(NORA 회로)

6.4 래치와 플립플롭



- 플립플롭을 통한 피드백

그림 6-31. 유한 상태 기계

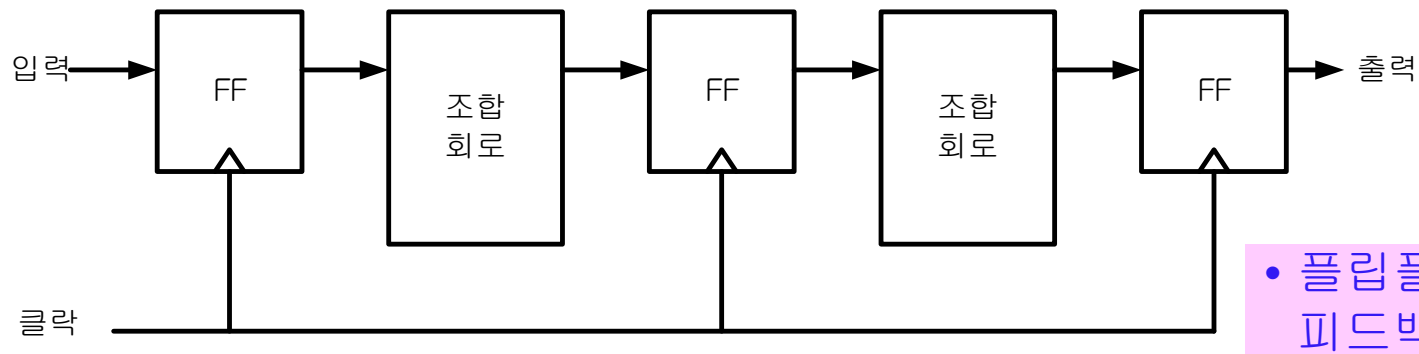


그림 6-32. 파이프라인 시스템

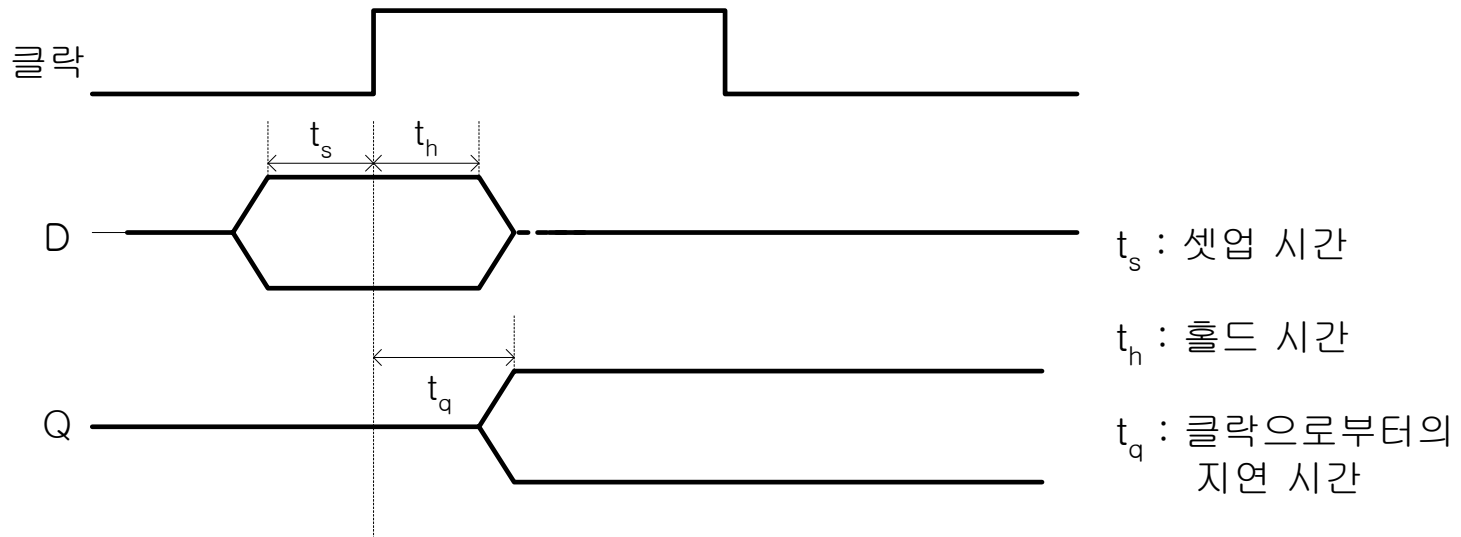


그림 6-33. 에지 트리거드 플립플롭(단일 페이즈 클럭)의 타이밍도

6.4.1 레벨 센시티브 래치

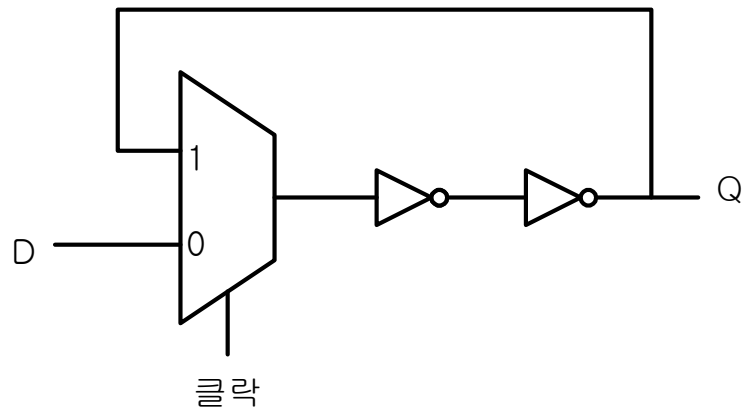


그림 6-34. 음-레벨 센시티브 래치

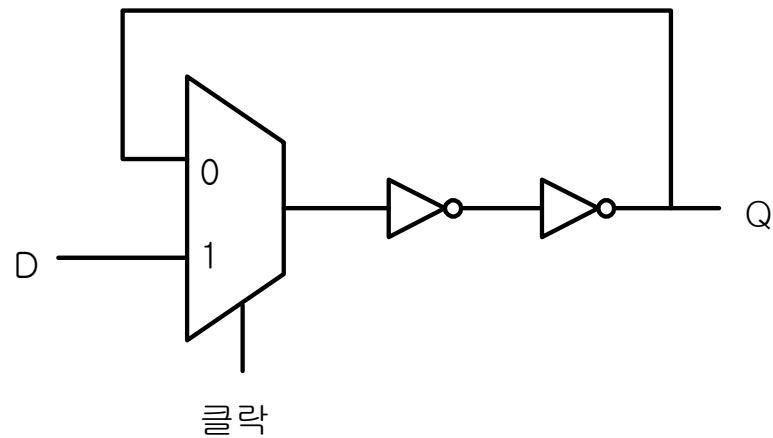


그림 6-35. 양-레벨 센시티브 래치

6.4.2 에지 트리거드 플립플롭

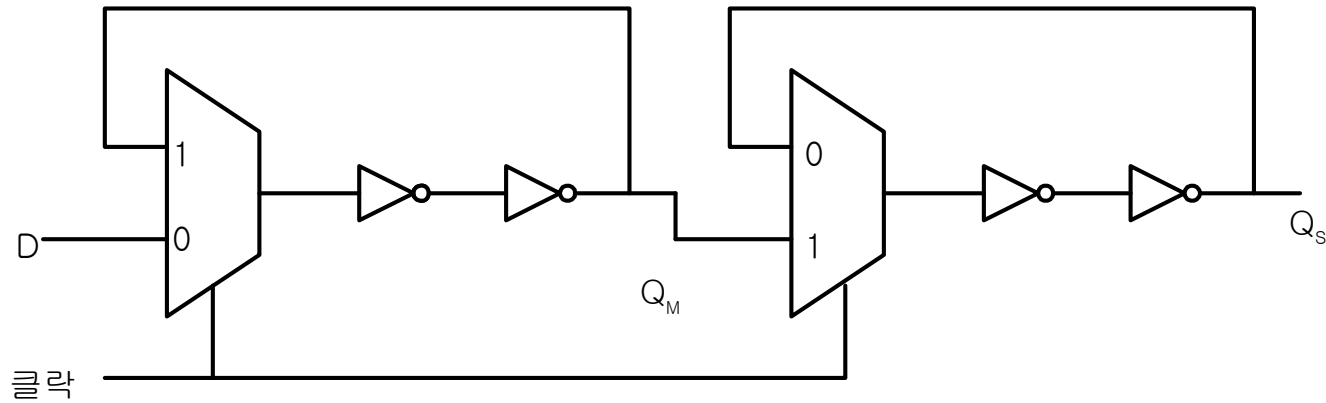


그림 6-36. 에지 트리거드 플립플롭

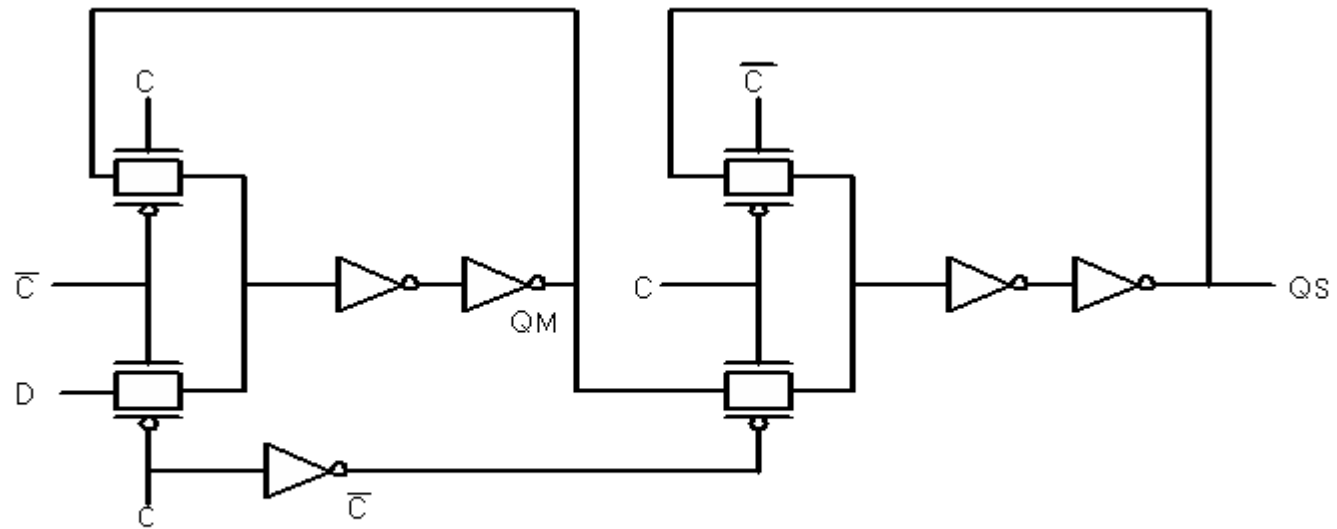
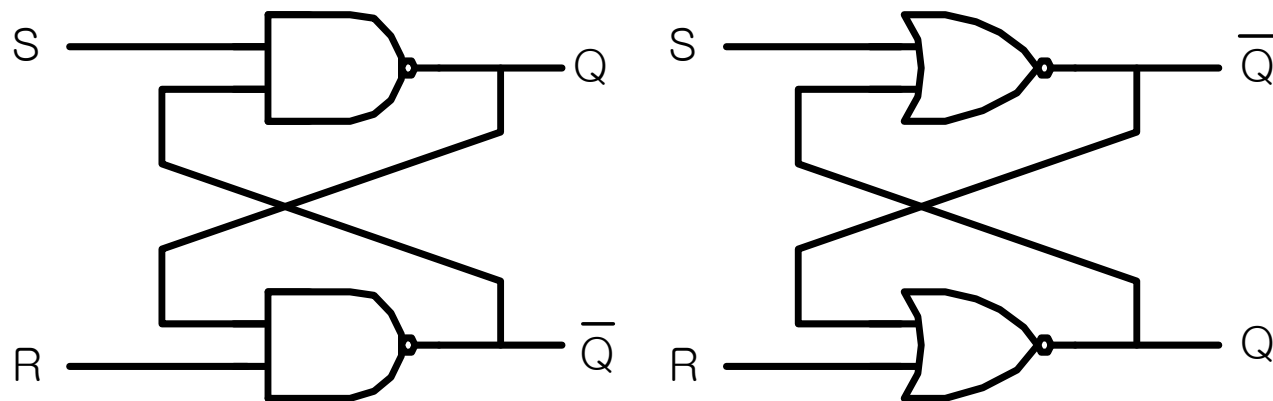


그림 6-37. 양에지 트리거드 플립플롭의 CMOS 구현

6.4.3 RS 래치



(a) NAND 래치

(b) NOR 래치

그림 6-38. NAND RS 래치와 NOR RS 래치

6.4.4 T 플립플롭

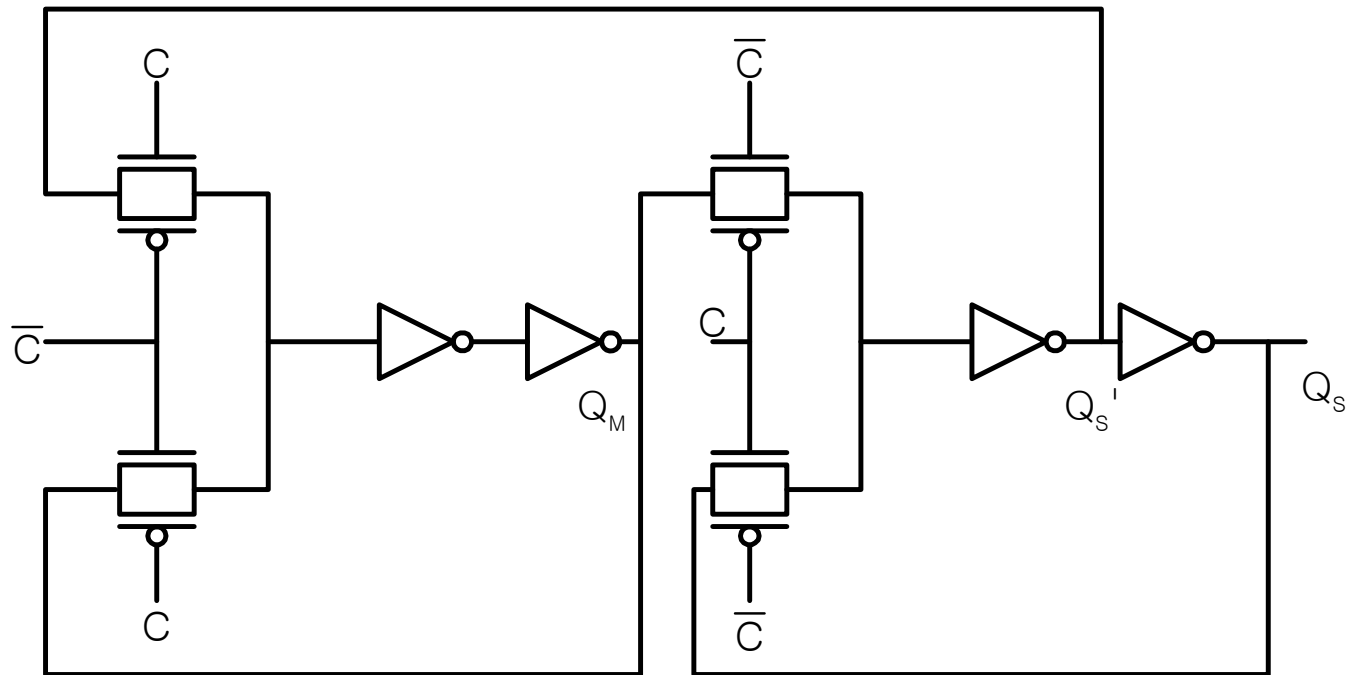


그림 6-39. T 플립플롭

6.4.5 JK 플립플롭

JK	D
00	Q_s
01	0
10	1
11	Q_s'

$$D = JQ_s' + K'Q_s$$

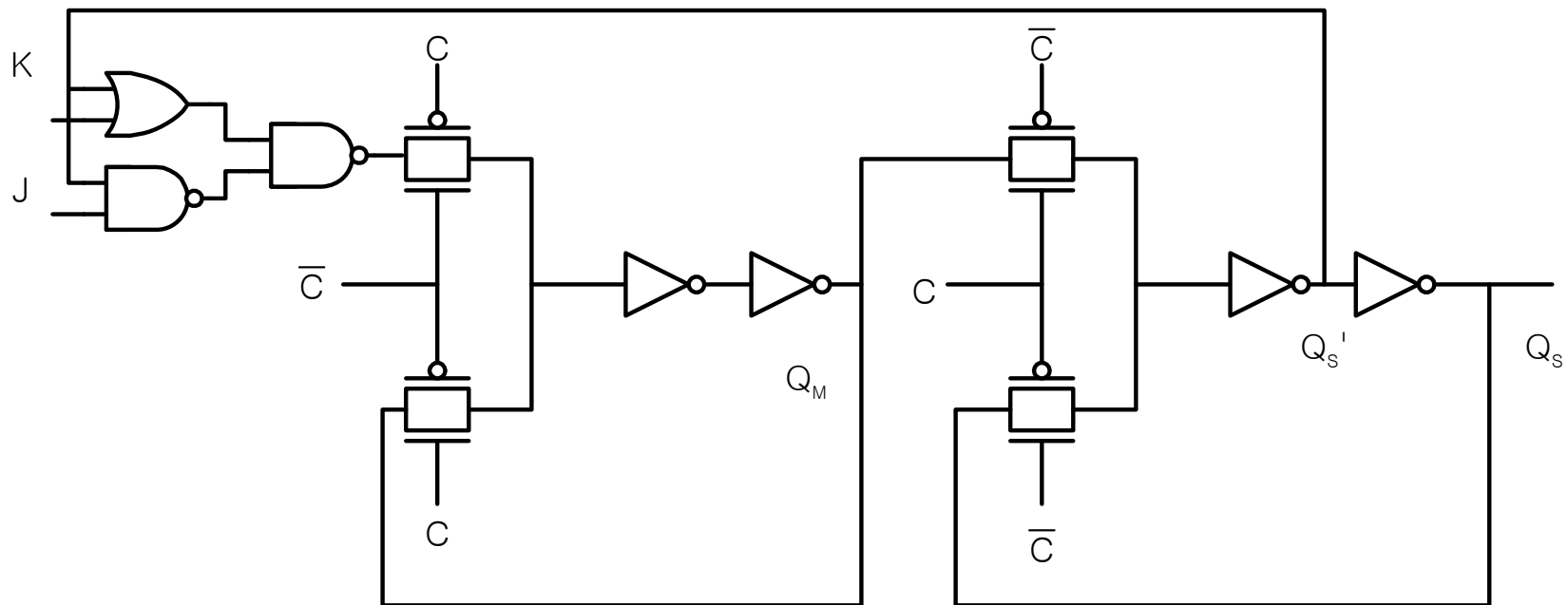


그림 6-40. JK 플립플롭

6.5 시스템 타이밍

6.5.1 단일 페이징 클라킹

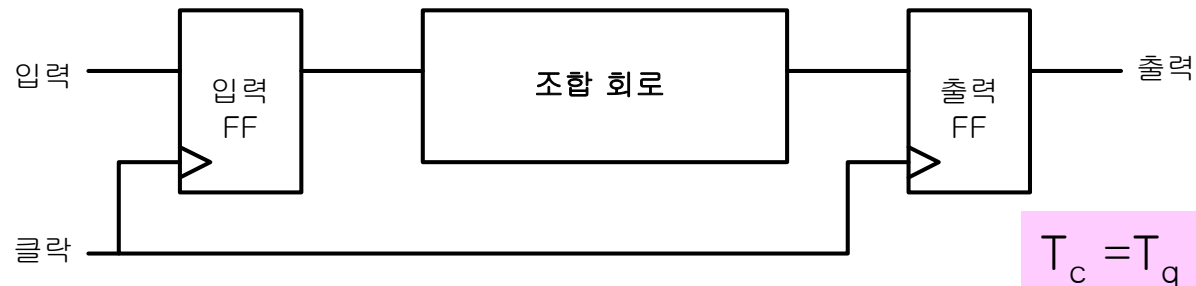


그림 6-41. 플립플롭을 사용한 클럭드 시스템

$$T_{c1} = T_{dA} + T_{qA} + T_{sB}, T_{c0} = T_{dB} + T_{qA} + T_{sC}, T_c = T_{c1} + T_{c0}$$

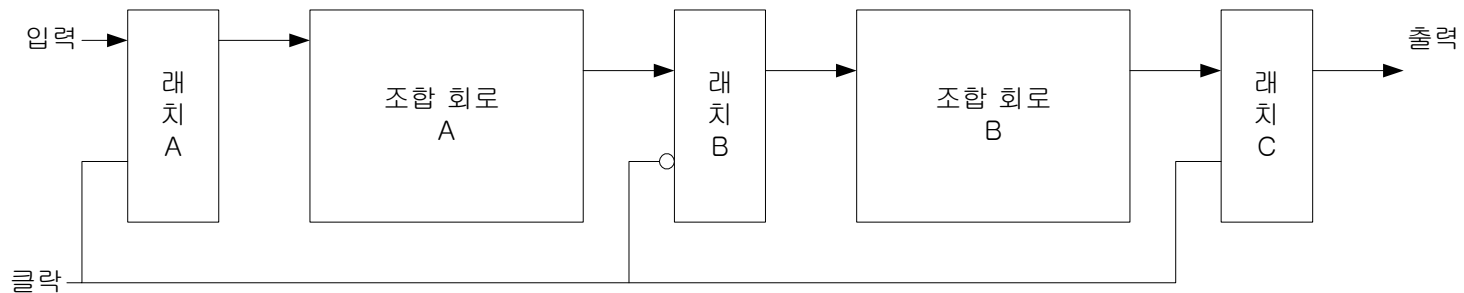


그림 6-42. 래치를 사용한 파이프라인 시스템

6.5.2 이중 페이징 클라킹

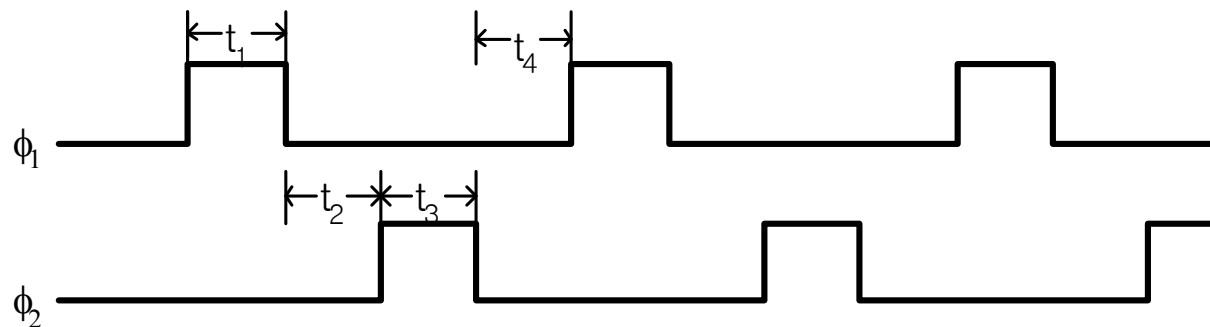


그림 6-43. 비중첩 이중 페이즈 클락

$$\phi_1 \cdot \phi_2 = 0$$

No race condition – 데이터 안정된 후 다음 단에 전달

플립플롭 대신 래치 사용 가능 – 면적 축소, 전력 소모 축소, 지연시간 축소
주기 및 듀티율을 잘 선택하면 설계가 용이해짐.

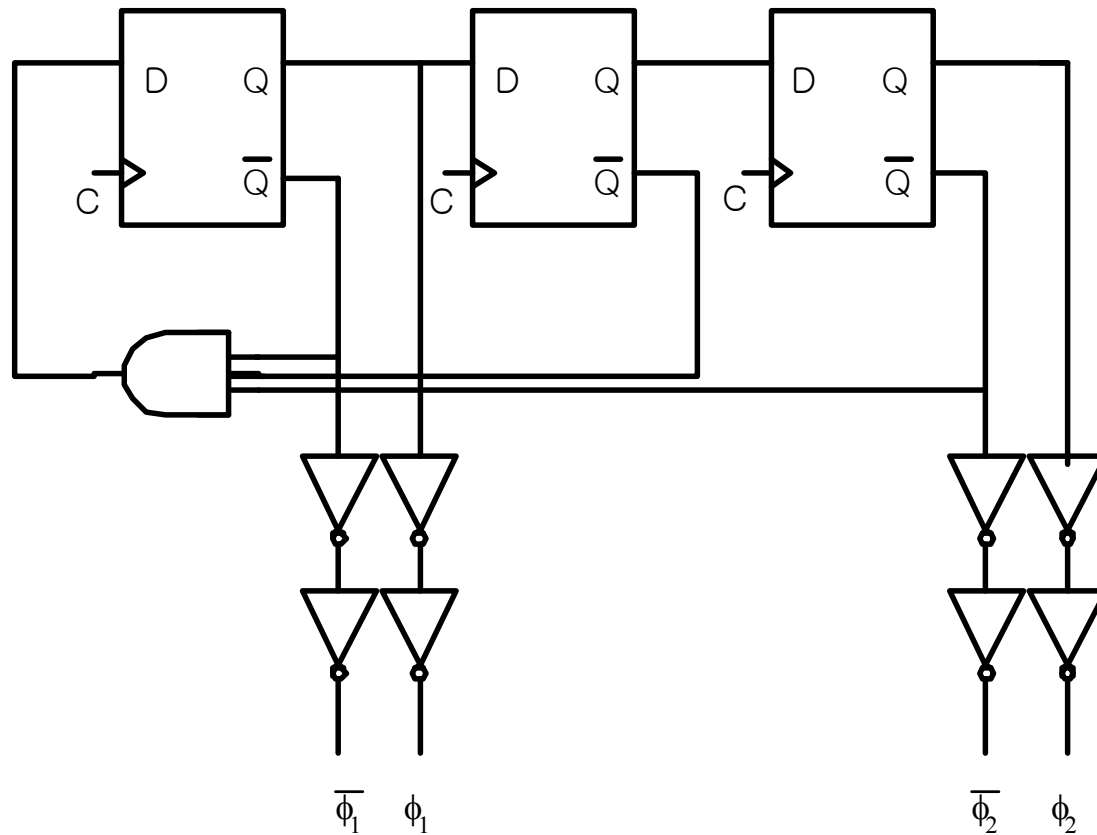
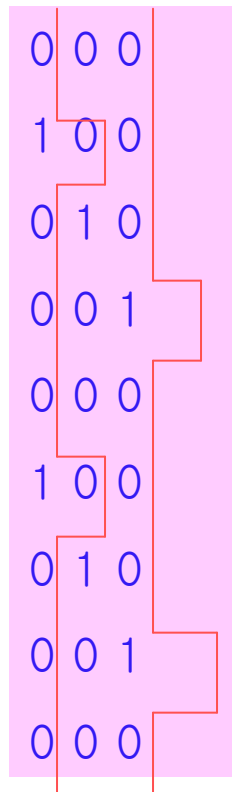


그림 6-44. 이중 페이즈 클럭 생성 회로

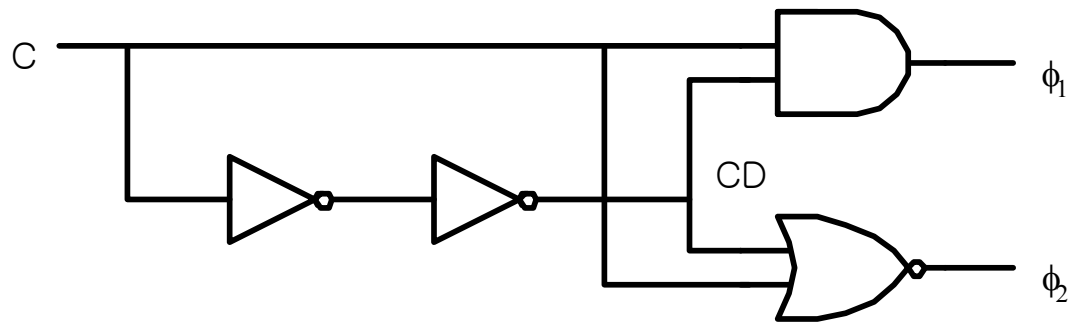


그림 6-45. 인버터의 지연을 이용한 이중 페이즈 클럭 생성 회로

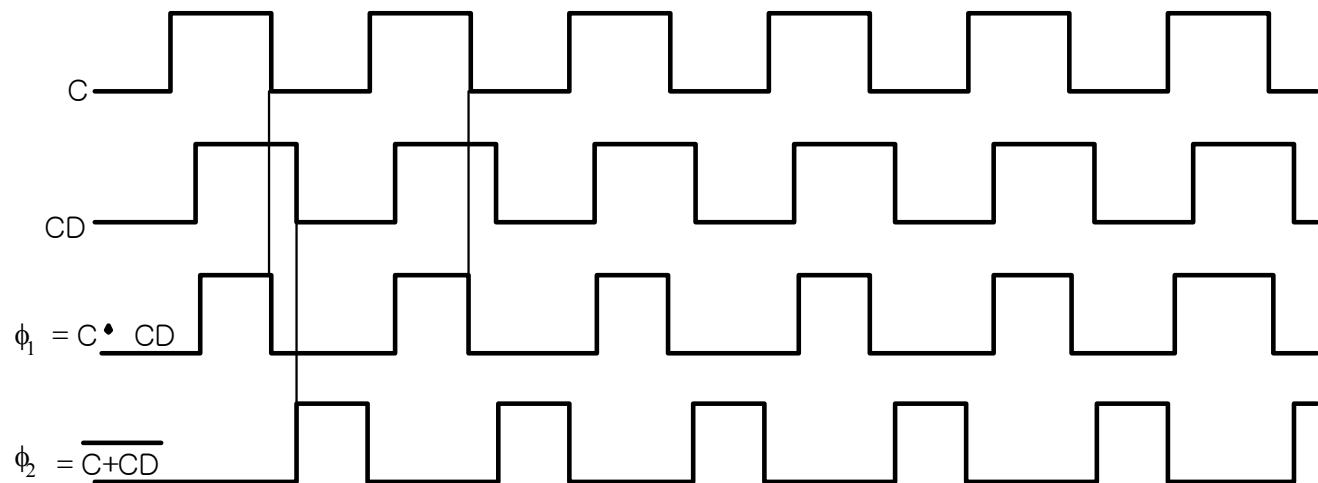


그림 6-46. ϕ_1 , ϕ_2 의 타이밍도

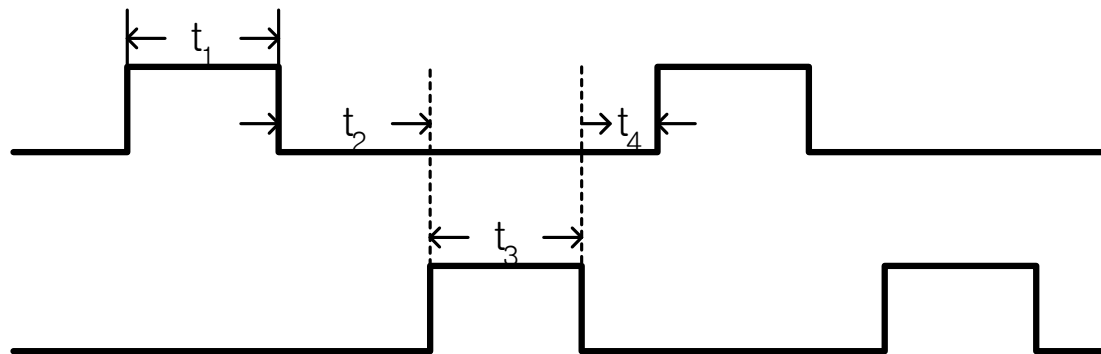


그림 6-47. 비중첩 이중 페이즈 클락의 설계

$$t_1, t_3 > \Delta_{latch}$$

$$t_2, t_4 > \text{최대 클락 스큐}$$

$$t_1 + t_2 > \Delta_{CL} + \Delta_{latch}$$

$$t_3 + t_4 > \Delta_{CL} + \Delta_{latch}$$

6.6 동적 래치

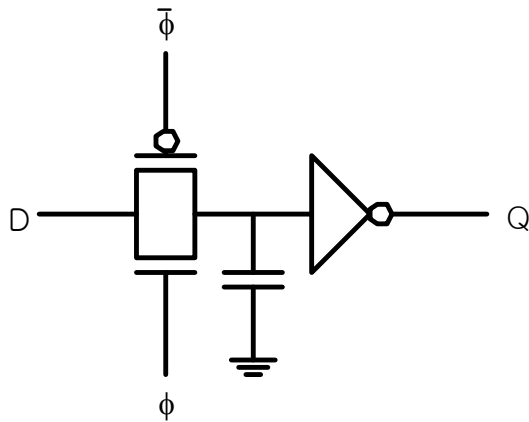


그림 6-49. 동적 래치의 구성

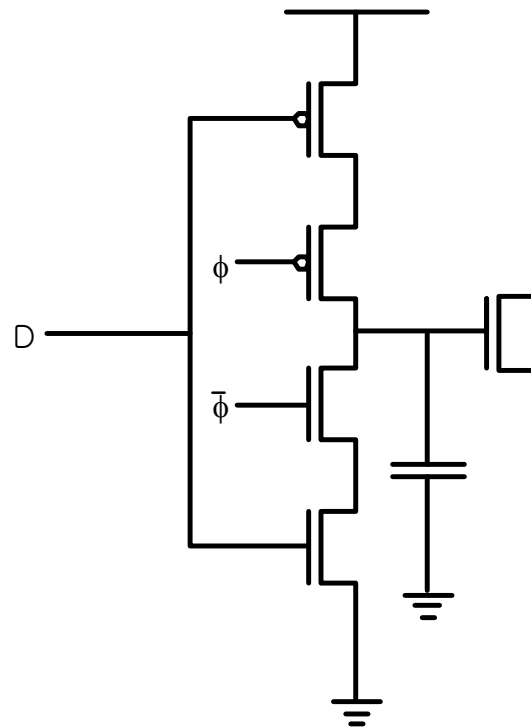
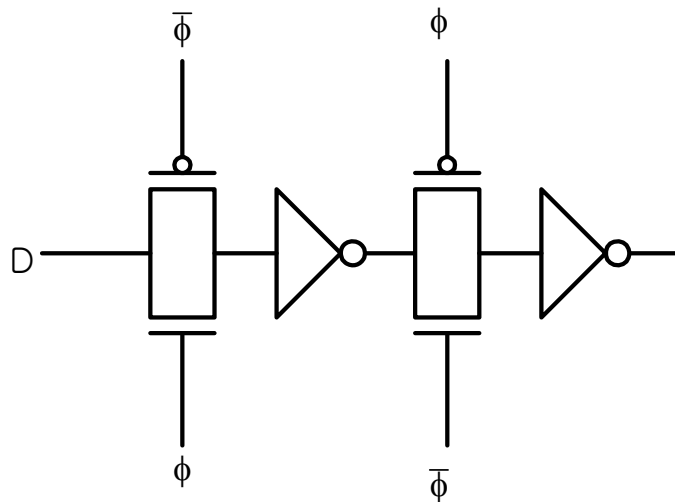
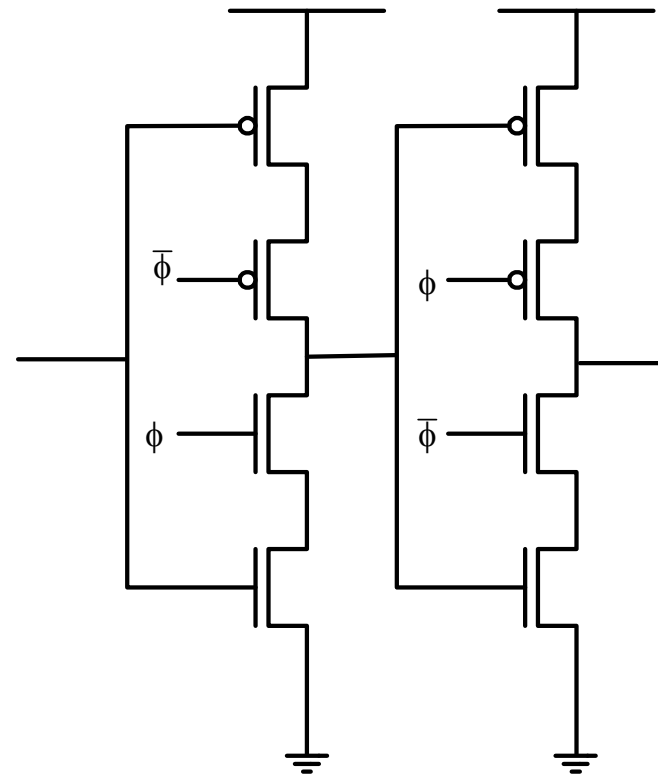


그림 6-50. 3-상태 동적 래치



(a)



(b)

그림 6-51. 동적 플립플롭의 구성

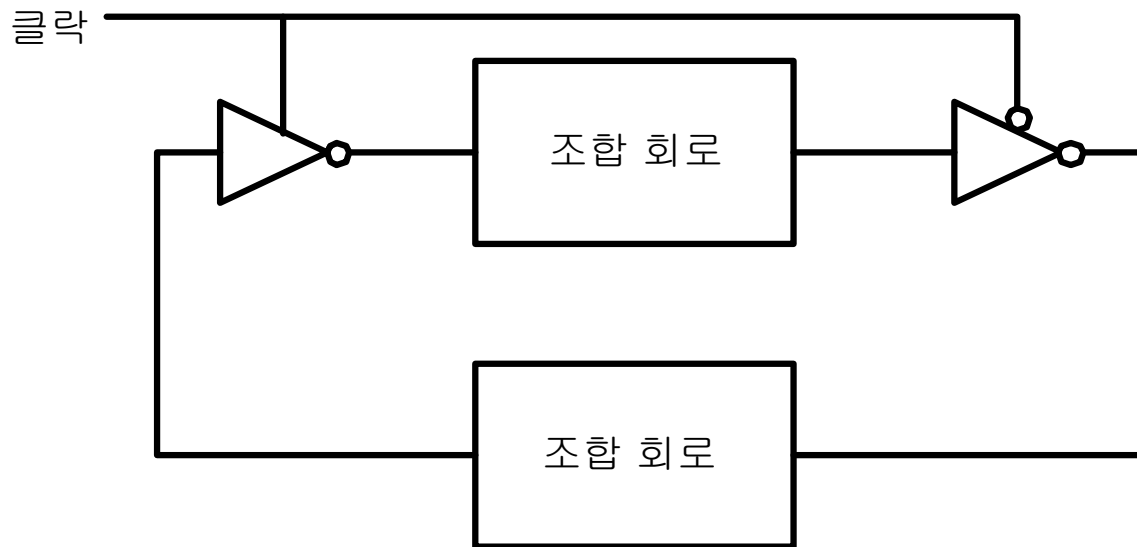
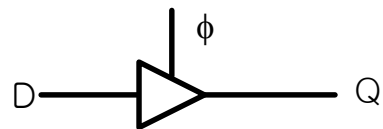
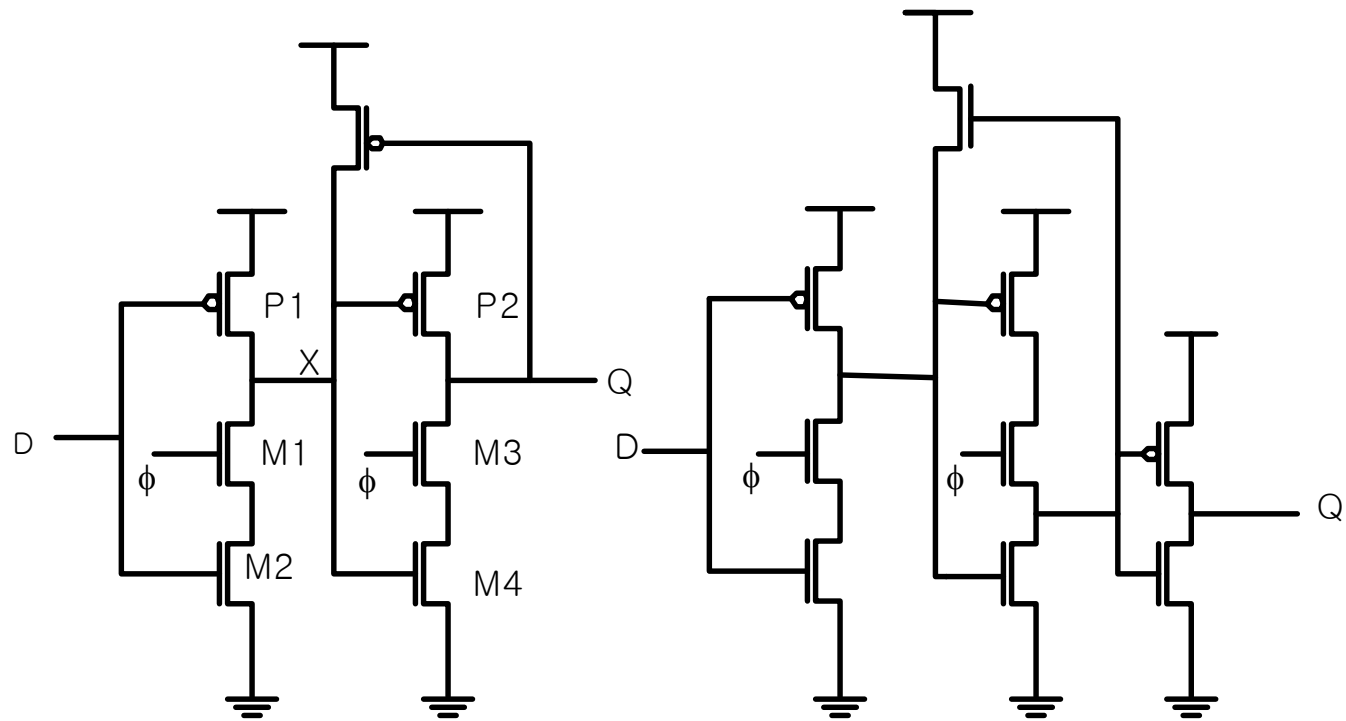
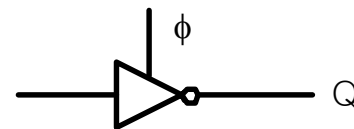


그림 6-52. 동적 래치의 단일 클럭 사용법

- DEC ALPHA 마이크로프로세서에 사용됨



(a)



(b)

그림 6-53. 고효율성 클락 래치

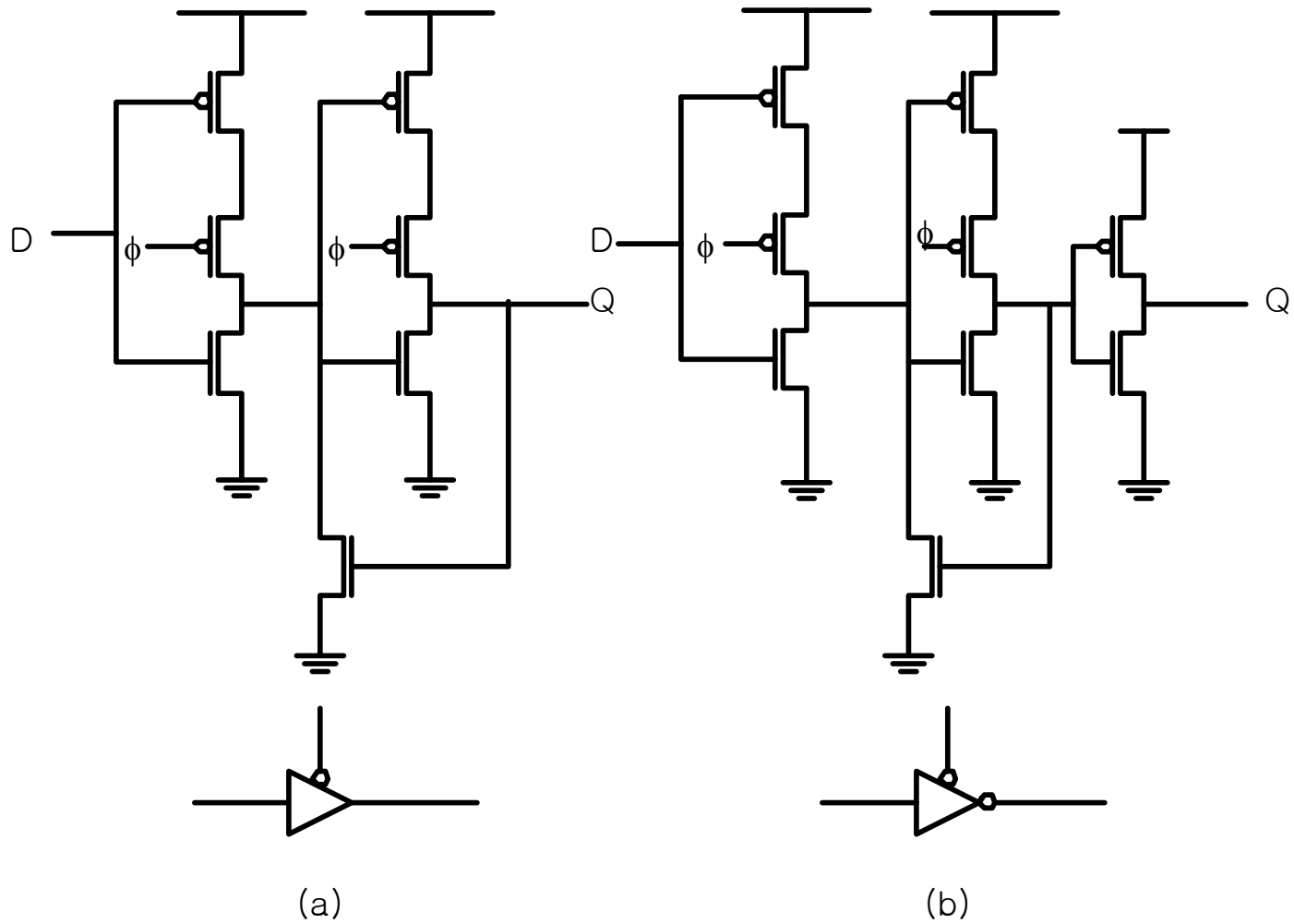


그림 6-54. 저활성 클럭 래치

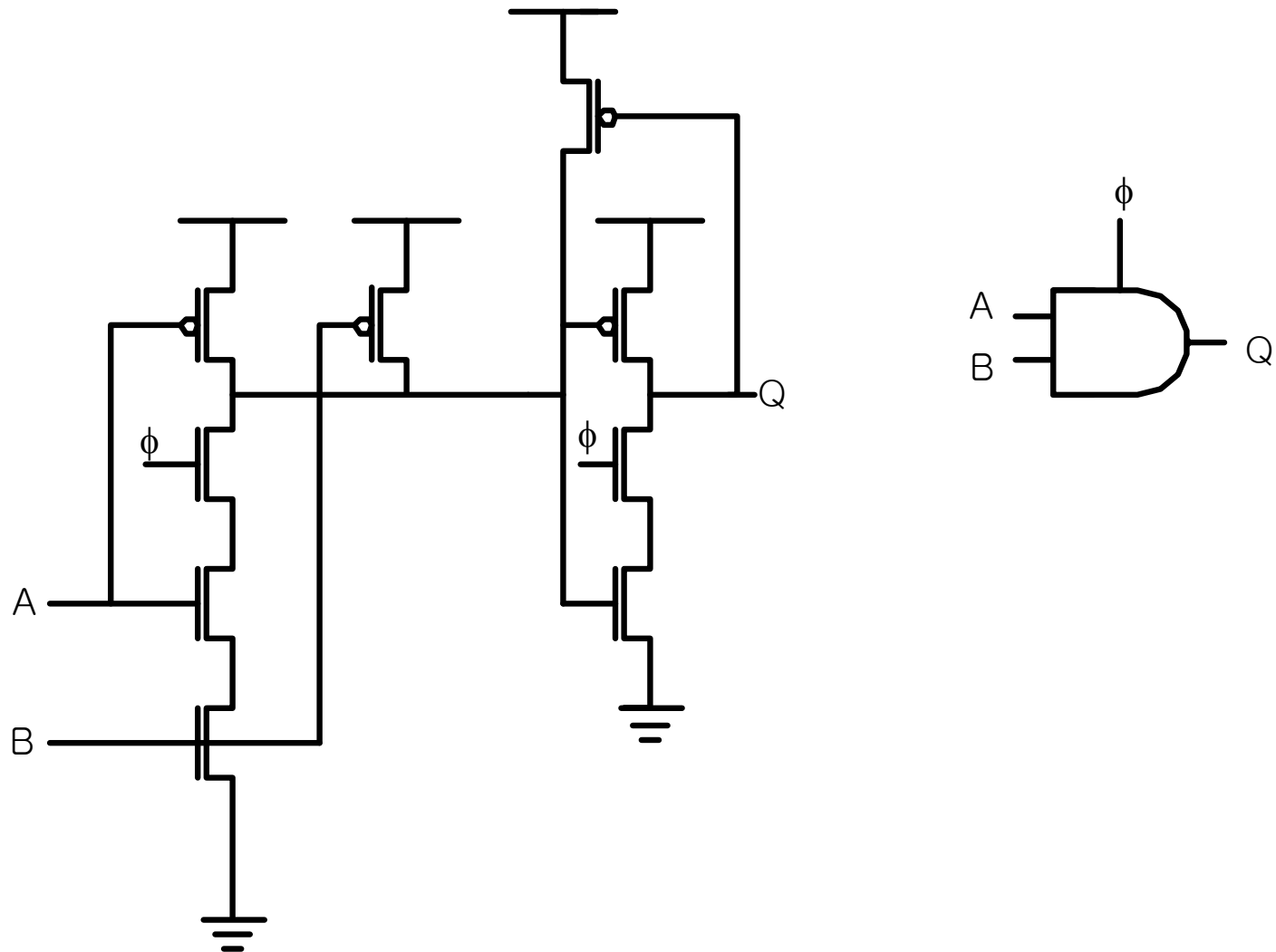


그림 6-55. AND 기능을 갖는 클럭 래치

6.7 버스 구조

6.7.1 수동 버스

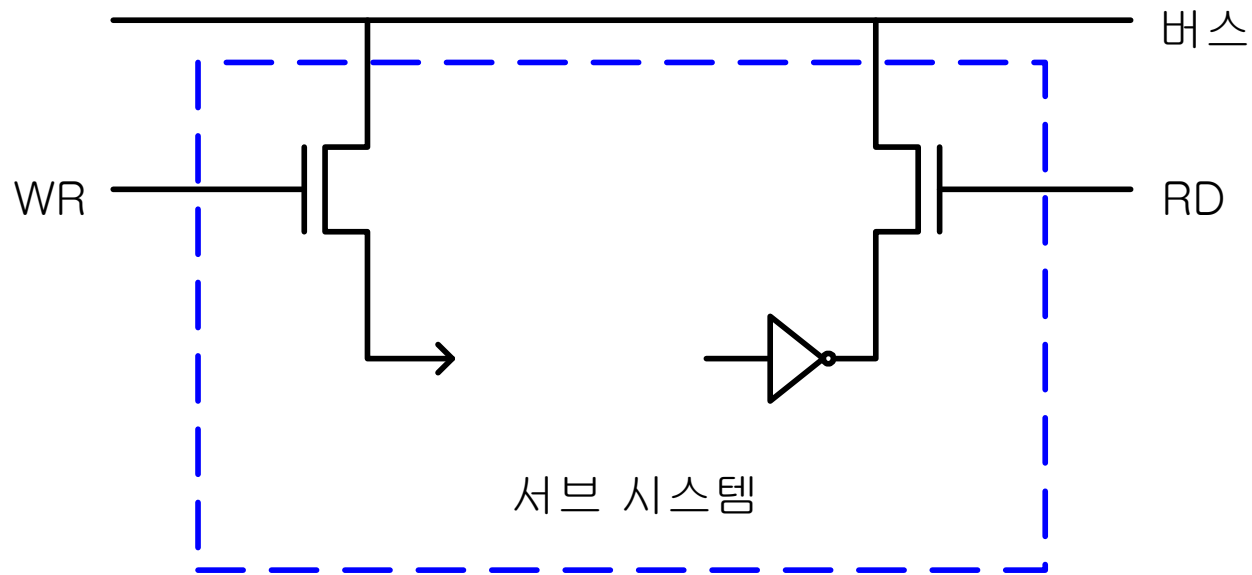


그림 6-56. 수동 버스

6.7.2 능동 버스

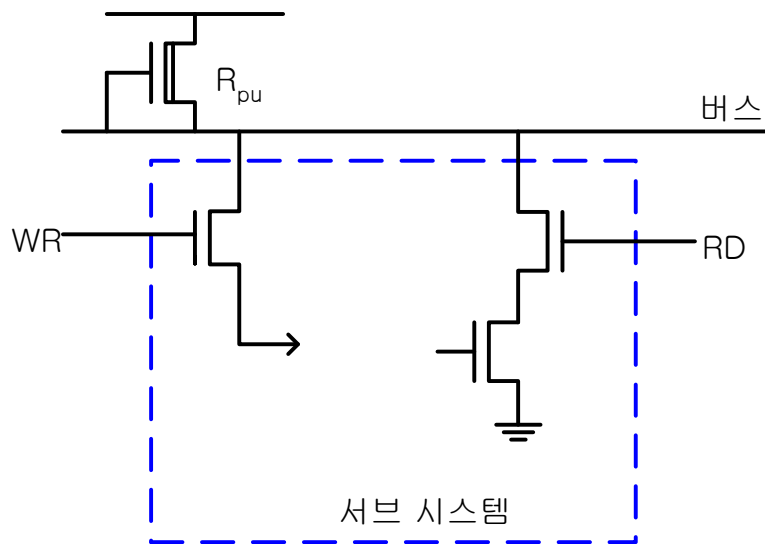


그림 6-57. 능동 버스

6.7.3 선충전 버스

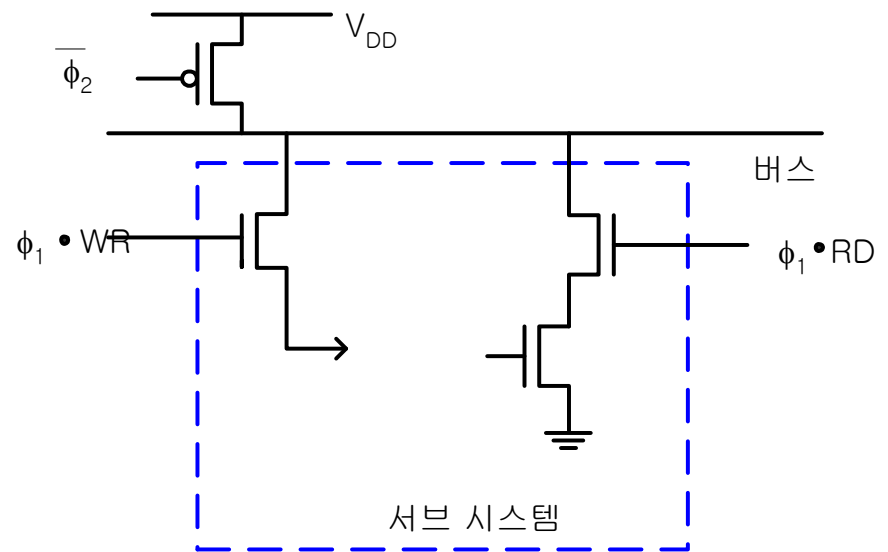


그림 6-58. 선충전 버스

6.8 전원 버스

6.8.1 메탈 이동 효과

- 전류밀도가 높아지면 메탈선 단락
- 전류 밀도가 $1\sim 2\text{mA}/\mu\text{m}^2$ 초과시 발생

6.8.2 전압 변동

- 메탈선의 직렬저항 때문에 IR 전압 강하 발생
- IR 전압 강하 : 흐르는 전류, 메탈선의 두께, 폭 및 길이

$$I_x = I_L \left(1 - \frac{x}{L}\right)$$

$$\Delta V = \rho \frac{I_L}{A} \int_0^L \frac{1-x}{L} dx = \rho I_L \frac{L}{2A} \quad (\text{IR 전압강하})$$

$$\Delta V = L_0 \frac{dI}{dt} \quad (\text{자기인덕턴스})$$

$$\text{where } L_0 = Z_0 \sqrt{\frac{\epsilon_{\text{eff}}}{c}}, Z_0 = \sqrt{\frac{L}{C}}$$